

Attorney Docket No.: 5649-1192

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Tai-su Park, et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: VERTICAL CHANNEL FIELD EFFECT TRANSISTORS HAVING INSULATING
LAYERS THEREON AND METHODS OF FABRICATING THE SAME

February 17, 2004

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

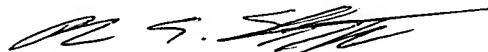
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0010402, filed February 19, 2003.

Respectfully submitted,



Rohan G. Sabapathypillai
Registration No. 51,074


Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No.: 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 353593048 US

Date of Deposit: February 17, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post
Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT
APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450


Michele P. McMahan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0010402
Application Number

출원년월일 : 2003년 02월 19일
Date of Application

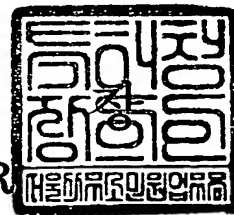
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 08 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.19
【발명의 명칭】	수직채널을 갖는 전계효과 트랜지스터 및 그 제조방법
【발명의 영문명칭】	FIELD EFFECT TRANSISTORS HAVING A VERTICAL CHANNEL AND METHODS OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박태서
【성명의 영문표기】	PARK, TAI SU
【주민등록번호】	670823-1351016
【우편번호】	151-050
【주소】	서울특별시 관악구 봉천동 서울대 가족생활동 932-105
【국적】	KR
【발명자】	
【성명의 국문표기】	이종호
【성명의 영문표기】	LEE, JONG HO
【주민등록번호】	660412-1929419
【우편번호】	302-280
【주소】	대전광역시 서구 월평동 다모아 아파트 110동 303호
【국적】	KR

【발명자】

【성명의 국문표기】 윤의준
 【성명의 영문표기】 YOON,EUI JOON
 【주민등록번호】 600504-1046518
 【우편번호】 135-806
 【주소】 서울특별시 강남구 개포1동 649 경남아파트 1동 809호
 【국적】 KR

【발명자】

【성명의 국문표기】 정우인
 【성명의 영문표기】 CHUNG,U IN
 【주민등록번호】 610315-1840417
 【우편번호】 138-200
 【주소】 서울특별시 송파구 문정동 올림픽훼밀리아파트 234동 403호
 【국적】 KR

【발명자】

【성명의 국문표기】 최시영
 【성명의 영문표기】 CHOI,SI YOUNG
 【주민등록번호】 640118-1055419
 【우편번호】 463-050
 【주소】 경기도 성남시 분당구 서현동 92번지 현대아파트 419동 903호
 【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	38	면	38,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	34	항	1,197,000	원
【합계】			1,264,000	원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

수직채널 전계효과 트랜지스터 및 그 제조방법을 제공한다. 이 트랜지스터는 반도체 기판이 수직으로 돌출된 핀(fin)과, 핀의 하부측벽에 형성된 질화막 라이너 및 핀의 하부측벽 및 질화막 라이너 사이에 개재된 버퍼 산화막을 포함한다. 핀의 상부 측벽에는 버퍼 산화막과 연결된 게이트 절연막이 형성되고, 핀의 주변에는 질화막 라이너에 의해 핀과 소정간격 이격되어 형성된 소자 분리막이 형성된다. 핀의 상부를 가로질러 게이트 전극이 배치된다. 이 트랜지스터의 제조방법은 반도체 기판을 식각하여 핀을 형성하는 것을 포함한다. 핀이 형성된 반도체 기판 상에 버퍼산화막 및 질화막을 콘포말하게 형성하고, 핀의 높이보다 두꺼운 절연막을 형성한다. 절연막을 화학적기계적연마하여 질화막을 노출시킴과 동시에 질화막의 주변을 둘러싸는 소자분리막을 형성한다. 질화막 및 버퍼산화막을 차례로 리세스시켜 핀의 상부를 노출시키고 핀의 하부측벽에 인접하게 질화막 라이너를 형성한다. 핀의 노출된 부분에 게이트 산화막을 형성하고, 핀의 상부를 가로지르는 게이트 전극을 형성한다.

【대표도】

도 4a

【명세서】

【발명의 명칭】

수직채널을 갖는 전계효과 트랜지스터 및 그 제조방법{FIELD EFFECT TRANSISTORS
HAVING A VERTICAL CHANNEL AND METHODS OF FABRICATING THE SAME}

【도면의 간단한 설명】

도 1 내지 도 3은 종래의 수직채널을 갖는 전계효과 트랜지스터를 나타낸 도면들이
다.

도 4a는 본 발명의 제1 실시예에 따른 전계효과 트랜지스터를 나타낸 사시도이다.

도 4b 및 도 4c는 제1 실시예의 변형례들을 나타낸 사시도이다.

도 5, 도 6a, 6b, 6c, 도 7 내지 도 10은 본 발명의 제1 실시예에 따른 전계효과
트랜지스터의 제조방법을 설명하기 위한 공정단면도들이다.

도 11 내지 도 14는 제1 실시예의 변형례를 설명하기 위한 공정단면도들이다.

도 15a는 본 발명의 제2 실시예에 따른 전계효과 트랜지스터를 나타낸 사시도이다.

도 15b 및 도 15c는 제2 실시예의 변형례를 나타낸 사시도이다.

도 16 내지 도 22는 본 발명의 제2 실시예에 따른 전계효과 트랜지스터의 제조방법
을 설명하기 위한 공정단면도들이다.

도 23 내지 도 28은 본 발명의 제2 실시예의 변형례를 설명하기 위한 공정단면도들
이다.

도 29 내지 도 32는 본 발명의 제2 실시예의 다른 변형례를 설명하기 위한 공정단
면도들이다.

도 33은 본 발명의 제3 실시예에 따른 전계효과 트랜지스터를 나타낸 사시도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 더 구체적으로 수직채널을 갖는 전계효과 트랜지스터 및 그 제조방법에 관한 것이다.
- <13> 일반적인 구조인 수평채널을 갖는 트랜지스터는 디자인 룰이 줄어들에 따라 여러가지 문제를 유발하여 트랜지스터의 축소(scale-down)에 한계가 있다. 축소된 수평채널 트랜지스터의 가장 큰 문제점으로 채널의 길이가 짧아져 단채널효과 및 DIBL(Drain Induced Barrier Lower)효과를 들 수 있다. 통상적인 트랜지스터에서 채널의 길이가 50 nm 이하로 축소되면 공정변수에 의해 소자특성의 산포도가 높아지며, 채널길이가 30 nm 이하일 경우 단채널효과 및 DIBL효과가 극심해져 트랜지스터가 정상적으로 동작하기 어려운 것으로 알려져 있다.
- <14> 수평채널 트랜지스터의 문제점을 극복하기 위하여 최근 연구되고 있는 소자 중의 하나는 이중 게이트 트랜지스터(Double gate transistor)이다. 이중 게이트 트랜지스터는 30 nm 이하의 두께를 가지는 채널과, 채널을 감싸거나 채널 양측에 게이트가 배치된 구조이다. 종래의 트랜지스터는 게이트 전극이 수평채널의 상부에만 형성됨으로써 채널에는 상하 비대칭적으로 전계가 인가되어, 게이트 전극에 의해 트랜지스터의 온 오프가 효과적으로 제어되지 못한다. 그 결과 채널의 축소로 인한 단채널 효과의 영향이 극심해진다.

<15> 이에 반하여 이중 게이트 트랜지스터는 얇은 채널의 양측에 게이트 전극에 형성되어 있기 때문에 채널의 모든 영역은 게이트 전극의 영향을 받는다. 따라서, 트랜지스터가 오프일 때 소오스 및 드레인 사이의 전하 흐름을 억제할 수 있기 때문에 전력소모를 줄일 수 있고, 트랜지스터의 온.오프를 효과적으로 제어할 수 있다. 이에 관하여, 기생 트랜지스터의 형성을 방지하고, 통상적인 트랜지스터 형성 공정을 적용하기 용이한 이유로 SOI(Silicon On Insulator)기판에 형성된 이중 게이트 트랜지스터가 최근에 제안된 바 있다. "2002 Symposium On VLSI Technology Digest of Technical Paper"에 발표된 푸리양 양(Fu-Liang Yang) 등의 "35nm CMOS FinFETs"에는 SOI기판의 절연층 상에 형성된 핀(fin)과, 핀 상부를 가로지르는 게이트 전극을 포함하는 FinFET이 개시되어 있다. 또한, "IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 49, No. 5, MAY 2002"에 발표된 쉹동 장(Shengdong Zhang)등의 "Implementation and Characterization of Self-Aligned Double-Gate TFT With Thin Channel and Thick Source/Drain"에는 절연막 상에 서로 자기 정렬된 하부게이트 및 상부 게이트와, 상기 하부게이트 및 상기 상부게이트 사이에 개재된 수평채널 패턴을 포함하는 이중 게이트 트랜지스터가 개시되어 있다. 이외에도 "IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 49, No. 3, MARCH 2002"에 기재된 최양규(Yang-Kyu Chio)등의 "A Spacer Patterning Technology for Nanoscale CMOS" 등 다수의 연구결과가 발표되고 있다. 그러나, 이들 논문에 개시된 이중 게이트 트랜지스터는 SOI기판 상에 형성되기 때문에 플로팅 바디 효과(floating body effect), 열악한 열 전도성, 높은 웨이퍼 가격 및 SOI 기판의 높은 결함 밀도 등이 문제되고 있다.

<16> 미국특허번호 6,355,532호, 존슨 셀리스카(John J. Seliskar)등의 "SUBTRACTIVE OXIDATION METHOD OF FABRICATING A SHORT-LENGTH AND VERTICALLY-ORIENTED CHANNEL,

DUAL-GATE, CMOS FET"에는 SOI기판이 아닌 실리콘기판 상에 형성된 이중 게이트 트랜지스터가 개시되어 있다.

<17> 그러나, 존슨 등의 트랜지스터는 소오스/드레인 형성시 채널부분들(channel segments) 사이의 기판에 불순물이 주입될 수 있는 구조를 가짐에도 불구하고, 채널부분들 사이의 기판에 주입된 불순물에 의한 기생 트랜지스터 형성 및 기생트랜지스터에 의한 단채널효과를 방지할 수 있는 어떠한 기술적 수단도 개시되어 있지 않다. 또한, 핀과 핀 사이를 격리할 수 있는 절연막이 존재하지 않기 때문에 집적도에 상당한 문제가 있다. 따라서, 존슨 등의 트랜지스터는 단순히 제한된 면적에서 채널의 면적을 높이는 분야에 제한적으로 응용할 수 밖에 없는 단점이 있다.

<18> 도 1은 벌크 실리콘 기판(에 형성된 종래의 이중 게이트 트랜지스터의 구조를 나타낸 단면도이다.

<19> 도 1을 참조하면, 반도체 기판에 형성된 종래의 이중 게이트 트랜지스터는 반도체 기판(10)에 필드 산화막(20)이 형성되고, 상기 필드 산화막(20)으로 한정된 반도체 기판은 식각되어 수직으로 돌출된 채널부분들(12)이 측방으로 이격되어 형성되어 있다. 상기 채널부분들(12)의 상부를 가로질러 게이트 전극(14)이 배치된다. 상기 게이트 전극(14)과 상기 채널부분들(12) 사이에는 게이트 산화막이 개재된다.

<20> 도 2는 벌크 실리콘 기판에 형성된 종래의 이중 게이트 트랜지스터의 일부분을 나타낸 사시도이다.

<21> 도 2를 참조하면, 벌크 실리콘 기판(10)이 수직으로 돌출된 채널부분(12)의 상부를 가로질러 게이트 전극(14)이 배치된다. 상기 게이트 전극(14) 양측의 실리콘 기판 내에

불순물이 주입되어 각각 소오스/드레인 영역(S/D)을 형성한다. 도시된 것과 같이, 종래의 수직채널 트랜지스터는 채널부분(12) 뿐만 아니라 채널에 인접한 기판 내에도 소오스/드레인 영역(S/D)이 형성된다. 채널부분(12)은 게이트 전극(14)으로 감싸져 있기 때문에 채널길이가 짧아도 완전공핍(full depletion) 또는 완전반전(full inversion)이 될 수 있으나, 돌출된 채널부분(12) 옆의 기판에 형성된 기생 트랜지스터(15)는 전형적인 수평채널 트랜지스터와 같은 단채널효과 및 DIBL효과를 유발할 수 있다.

<22> 도 3은 SOI기판 상에 형성된 종래의 수직채널 트랜지스터를 나타낸 사시도이다.

<23> 도 3을 참조하면, 이 트랜지스터는 매몰 산화막(buried oxide; 22) 상에 복수개의 평행한 핀들(30)을 가지는 SOI층(24)과, 상기 SOI층(24) 상부에 형성된 마스크 산화막(26) 및 상기 핀들(30) 상부를 가로질러 배치된 게이트 전극(28)을 포함한다. 상기 게이트 전극(28)은 하부의 폴리실리콘층(28a)과 상부의 저저항층(29a)을 포함한다. 도시된 것과 같이, 이 트랜지스터는 매몰 산화막(22) 상에 형성되어 기판으로 부터 격리되기 때문에 열전도성이 낮고, 플로팅 바디 효과가 발생할 수 있는 구조적 결함을 지닐 수 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자 하는 기술적 과제는 완전공핍 또는 완전반전 수직채널을 갖는 전계효과 트랜지스터 및 그 제조방법을 제공하는데 있다.

<25> 본 발명이 이루고자 하는 다른 기술적 과제는 플로팅 바디 효과를 억제하고, 열전도성이 우수한 트랜지스터 및 그 제조방법을 제공하는데 있다.

<26> 본 발명이 이루고자 하는 또 다른 기술적 과제는 전류 구동 능력이 높은 트랜지스터 및 그 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<27> 상기 기술적 과제들을 달성하기 위하여 본 발명은 반도체 기판이 수직으로 돌출된 핀(fin)을 포함하는 트랜지스터를 제공한다. 이 트랜지스터는 반도체 기판이 수직으로 돌출된 핀(fin)과, 상기 핀의 하부측벽에 형성된 질화막 라이너 및 상기 핀의 하부측벽 및 상기 질화막 라이너 사이에 개재된 버퍼 산화막을 포함한다. 상기 핀의 상부 측벽에는 상기 버퍼 산화막과 연결된 게이트 절연막이 형성되고, 상기 핀의 주변에는 상기 질화막 라이너에 의해 상기 핀과 소정간격 이격되어 형성된 소자 분리막이 형성된다. 상기 핀의 상부를 가로질러 게이트 전극이 배치된다. 본 발명의 일 실시예에서 상기 핀의 상부에는 마스크 절연막이 더 형성될 수 있고, 이 경우 상기 게이트 전극은 상기 마스크 절연막 상부를 가로지른다. 상기 마스크 절연막은 핀의 측면에 형성된 게이트 절연막 보다 더 두꺼운 절연막으로써, 예컨대 패드산화막 및 식각저지질화막(etch-stop nitride)이 적층되거나, 패드질화막, 패드산화막 및 식각저지질화막이 적층되거나, 산화막 및 질화막이 교대로 번갈아가며 적층될 수 있다.

<28> 상기 게이트 전극 양측의 상기 핀에는 불순물이 주입된 소오스/드레인 영역이 형성되고, 상기 게이트 전극 하부의 핀에는 채널영역이 형성되어 수직채널 트랜지스터를 형성할 수 있다.

<29> 본 발명에 따른 트랜지스터는 높은 전류 구동 능력이 요구되는 소자에도 적용될 수 있다. 이 형태의 트랜지스터는 전류량을 높이기 위하여 반도체 기판이 수직으로 돌출된 복수개의 평행한 핀들을 가지는 필라를 포함한다. 상기 필라는 서로 이격된 한쌍의 평판

영역과 상기 평판영역을 연결하는 복수개의 평행한 핀을 포함한다. 상기 필라의 하부측벽에 질화막 라이너가 형성되고, 상기 필라의 하부측벽 및 상기 질화막 라이너 사이에 버퍼 산화막이 개재된다. 상기 필라의 상부 측벽에는 상기 버퍼 산화막과 연결된 게이트 절연막이 형성된다. 상기 필라 외벽 부근에는 상기 질화막 라이너에 의해 상기 필라와 소정간격 이격된 소자 분리막이 형성되어 있고, 상기 핀들의 상부를 가로질러 게이트 전극이 배치된다.

<30> 상기 필라의 상부면 상에는 마스크 절연막이 더 형성되어 있을 수 있다. 상기 마스크 절연막은 상기 게이트 절연막보다 더두꺼운 절연막으로써, 예컨대 패드 산화막 및 식각저지질화막이 적층되거나, 패드 질화막, 패드 산화막 및 식각저지질화막이 적층되거나, 산화막 및 질화막이 교대로 번갈아가며 적층될 수도 있다.

<31> 상기 필라의 양측에는 소오스/드레인 영역이 각각 형성되고, 상기 게이트 전극 하부의 필라에는 채널영역이 형성되어 수직채널 전계효과 트랜지스터를 형성한다. 상기 게이트 전극이 형성된 핀 양측에는 소오스 영역 또는 드레인 영역이 형성될 수 있을 뿐만 아니라, 배선을 위한 콘택이 상기 소오스 또는 드레인 영역에 형성될 수 있다.

<32> 상기 기술적 과제들을 달성하기 위하여 본 발명은 반도체 기판이 수직으로 돌출된 핀(fin)을 포함하는 트랜지스터의 제조방법을 제공한다.

<33> 이 방법은 반도체 기판을 식각하여 핀을 형성하는 것을 포함한다. 상기 핀이 형성된 반도체 기판 상에 버퍼산화막 및 질화막을 콘포말하게 형성하고, 상기 핀의 높이보다 두꺼운 절연막을 형성한다. 상기 절연막을 화학적기계적연마하여 상기 질화막을 노출시킴과 동시에 상기 질화막의 주변을 둘러싸는 소자분리막을 형성한다. 상기 질화막 및 상기 버퍼산화막을 차례로 리세스시켜 상기 핀의 상부를 노출시키고 상기 핀의 하부측벽에

인접하게 질화막 라이너를 형성한다. 상기 핀의 노출된 부분에 게이트 산화막을 형성하고, 상기 핀의 상부를 가로지르는 게이트 전극을 형성한다. 상기 버퍼 산화막은 상기 핀을 형성하는 과정에서 입은 기판의 손상을 복구하기 위하여 열산화막으로 형성할 수 있고, 화학기상증착법에 의해 증착할 경우 증착초기에 소정 시간동안 열산화분위기에서 증착함으로써 기판 손상을 복구 할 수 있다.

<34> 사진 식각공정으로 정의할 수 있는 한계치보다 폭이 좁은 핀을 형성하기 위해서 본 발명은 기판을 식각하여 핀을 형성한 후 열산화공정을 적용하여 핀의 폭을 줄이는 단계를 더 포함할 수 있다. 다시말해서, 기판을 식각하여 핀을 형성하고 상기 기판에 열산화공정을 적용하여 열산화막을 형성한다. 열산화공정에 의해 상기 핀의 표면이 산화되어 상기 핀의 폭이 줄어든다. 상기 열산화막을 제거하면 기판을 식각하여 형성된 핀보다 폭이 좁은 핀을 얻을 수 있다.

<35> 본 발명의 일 실시예에서 상기 핀을 형성하는 방법은 반도체 기판 상에 패드 산화막, 산화 마스크막 및 포토레지스트 패턴을 형성하고, 상기 산화 마스크막, 상기 패드 산화막 및 상기 반도체 기판을 패터닝하여 핀을 형성하는 것을 포함한다. 상기 포토레지스트 패턴을 제거하고, 상기 반도체 기판을 열산화하여 열산화막을 형성함과 동시에 핀의 폭을 줄인다. 상기 마스크 절연막, 상기 패드 산화막 및 상기 열산화막을 제거함으로써 폭이 좁은 핀을 형성할 수 있다.

<36> 본 발명에 따른 트랜지스터 제조방법에 따르면 핀의 상부면 상에 마스크 절연막을 더 포함하는 수직채널 전계효과 트랜지스터를 제조할 수 있다. 이 방법은, 반도체 기판 상에 마스크 절연막을 형성하고, 상기 마스크 절연막 및 상기 반도체 기판을 패터닝하여

, 상기 반도체 기판이 수직으로 돌출된 핀을 형성하는 것을 포함한다. 상기 반도체 기판 상에 버퍼산화막 및 질화막을 콘포말하게 형성한다. 상기 질화막이 형성된 반도체 기판 상에 상기 핀의 높이보다 두꺼운 절연막을 형성한다. 상기 절연막을 화학적기계적연마하여 상기 핀 상부의 상기 질화막의 상부면을 노출시킴과 동시에 상기 노출된 질화막의 주변을 둘러싸는 소자분리막을 형성한다. 상기 질화막 및 상기 버퍼 산화막을 차례로 리세스시켜 상기 핀의 상부측벽을 노출시킨다. 리세스되지 않고 남은 질화막은 상기 핀의 하부측벽에 인접한 질화막 라이너를 형성한다. 상기 핀의 노출된 상부측벽에 게이트 산화막을 형성하고, 상기 핀의 상부를 가로지르는 게이트 전극을 형성한다.

<37> 상기 마스크 절연막은 패드산화막 및 식각저지 질화막을 적층하여 형성할 수도 있다. 이 경우 상기 핀을 형성한 다음, 상기 반도체 기판에 열산화 공정을 적용하여 상기 핀의 측벽에 열산화막을 형성함으로써 상기 핀의 폭을 줄이고, 상기 식각저지 질화막을 등방성 식각하여 그 폭을 줄인 후 상기 열산화막을 제거함으로써 사진식각공정에 의해 정의할 수 있는 한계치보다 좁은 폭의 핀을 형성할 수 있다.

<38> 이와 다른 방법으로, 상기 마스크 절연막은 산화막 및 질화막을 교대로 번갈아 적층하여 형성하거나, 패드 질화막, 패드 산화막 및 식각저지 질화막을 차례로 적층하여 형성할 수도 있다. 패드 질화막, 패드 산화막 및 식각저지 질화막을 차례로 적층하여 마스크 절연막을 형성할 경우, 열산화 공정을 적용하여 상기 핀의 측벽에 열산화막을 형성하고, 상기 식각저지 질화막을 등방성 식각하여 폭을 줄인다. 이어서, 상기 열산화막을 제거하고 상기 패드 질화막을 등방성 식각하여 폭을 줄일 수 있다. 상기 패드 질화막은 상기 열산화 공정에서 상기 핀의 상부면이 과도하게 산화됨으로 인한 열산화막 제거시 상기 식각저지 질화막의 분리를 방지할 수 있다.

<39> 본 발명은 전류 구동 능력을 높이기 위하여 복수의 핀들을 포함하는 수직채널 전계 효과 트랜지스터의 제조방법을 제공한다. 이 방법은 반도체 기판을 식각하여 한쌍의 평판부 및 상기 평판부들을 연결하는 복수개의 평행한 핀들을 포함하는 필라를 형성한다. 상기 필라가 형성된 반도체 기판 상에 버퍼산화막 및 질화막을 콘포말하게 형성하고, 상기 필라의 높이보다 두꺼운 절연막을 형성한다. 상기 절연막을 화학적기계적연마하여 상기 질화막을 노출시킴과 동시에 상기 필라 주위를 둘러싸는 소자분리막을 형성한다. 상기 질화막 및 상기 버퍼산화막을 차례로 리세스시켜 상기 필라의 상부를 노출시키고 상기 필라의 노출된 부분에 게이트 산화막을 형성한다. 마지막으로, 상기 핀들의 상부를 가로지르는 게이트 전극을 형성한다.

<40> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전 전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<41> 도 4a는 본 발명의 제1 실시예에 따른 수직채널 전계효과 트랜지스터를 나타낸 사시도이다.

<42> 도 4b 및 도 4c는 제1 실시예의 변형례를 나타낸 사시도이다.

<43> 도 4a를 참조하면, 본 발명의 트랜지스터는 반도체 기판이 수직으로 돌출된 핀(56)을 포함한다. 상기 핀(56)을 포함하는 반도체 기판 상에 버퍼 산화막(58)이 형성된다. 상기 버퍼 산화막(58)은 상기 핀(56)의 하부측벽에 형성되고, 상기 핀(56)의 상부 측벽에는 게이트 절연막(64)이 형성된다. 상기 핀(56)의 높이는 50 nm 내지 1000 nm로 형성할 수 있고, 상기 버퍼 산화막(58)은 2 nm 내지 50 nm 정도의 두께로 형성하는 것이 바람직하다. 상기 게이트 산화막은 열산화막, CVD산화막 및 질화막 중 선택된 하나로 형성할 수 있고, 소자의 특성 요구에 따라 그 두께 및 막의 성분을 선택할 수 있다. 상기 버퍼 산화막(58) 상에 상기 핀(56)의 하부측벽에 인접하여 질화막 라이너(60a)가 형성되고, 상기 질화막 라이너(60a)에 의해 상기 핀(56)으로 부터 이격된 소자분리막(62a)이 상기 핀(56) 부근에 형성된다. 상기 질화막 라이너(60a)는 5 nm 내지 200nm의 두께로 형성할 수 있고, 상기 질화막 라이너(60a) 상부로 돌출된 상기 핀(56)의 높이는 트랜지스터의 채널 폭을 정의하고, 바람직하게는 10 nm 내지 500nm 정도로 형성할 수 있다. 상기 핀(56)의 상부를 게이트 전극(66)이 가로지른다. 상기 게이트 전극(66)은 예컨대 폴리실리콘층(66a), 폴리 실리콘게르마늄(SiGe) 및 금속, 금속실리사이드 등의 저저항의 도전층(66b)이 적층된 구조를 가질 수 있다. 상기 저저항의 도전층(66b)은 금속 실리사이드 또는 금속으로 형성될 수 있다. 도시된 것과 같이, 상기 핀(56)의 상부면과 상기 소자분리막(62a)의 상부면은 비슷한 레벨에 위치하거나 더 높게 형성할 수 있다. 상기 핀(56)의 상부 모서리는 둥글게 형성됨으로써 전계의 집중을 방지할 수 있고, 소자의 특성 변화를 줄이고, 내구성을 향상시킬 수 있다. 상기 질화막 라이너(60a) 상부로 돌출된 핀(56)은 게이트 전극(66)으로 둘러싸여져 트랜지스터의 채널 폭을 정의할 수 있다. 또한, 소자 전체에 대한 상기 핀(56)과 상기 소자분리막(62a) 사이의 영역비가 낮

기 때문에 상기 게이트 전극(66)의 상부면은 평탄할 수 있다. 도시되진 않았지만, 상기 게이트 전극 양측의 핀(56) 내에 불순물이 주입되어 트랜지스터의 소오스 영역 및 드레인 영역을 형성되고, 상기 게이트 전극(66) 하부의 핀(56) 내에는 불순물이 도우핑 되거나 도우핑되지 않은 채널 영역이 형성될 수 있다. 이 때, 상기 소오스 영역 및 상기 드레인 영역의 접합 경계는 상기 게이트 전극의 최저면보다 높은 레벨에 위치함으로써 기생 트랜지스터가 형성되는 것을 방지하는 것이 바람직하다.

<44> 도 4b 및 도 4c에 도시된 것과 같이, 이 트랜지스터의 핀은 상부폭 보다 하부폭이 더 넓은 구조를 가질 수도 있다. 도 4b와 같이, 핀(56a)는 상부에서 하부로 갈수록 그 폭이 점진적으로 증가하는 구조를 가지거나, 도 4c에 도시된 것과 같이 핀(56b)는 그 상부폭은 일정하게 유지하면서 하부폭은 하부로 갈수록 점진적으로 증가할 수 있다. 수직 채널이 형성되는 부분, 즉 게이트 절연막이 형성된 부분은 그 폭이 일정하게 유지되고, 소자분리막에 의해 둘러싸여진 부분 즉, 버퍼 산화막이 형성된 부분은 하부로 갈수록 점진적으로 그 폭이 증가할 수 있다.

<45> 도 5, 도 6a, 도 6b, 도 6c, 도 7 내지 도 10은 본 발명의 제1 실시예에 따른 수직 채널 전계효과 트랜지스터의 제조방법을 설명하기 위한 공정단면도들이다.

<46> 도 5를 참조하면, 반도체 기판(50) 상에 반사방지막(52) 및 포토레지스트막(54)이 적층된 마스크 패턴을 형성한다. 상기 반도체 기판(50)은 단결정 실리콘 또는 실리콘 게르마늄으로 이루어진 벌크 기판이다. 상기 마스크 패턴은 사진식각공정으로 정의할 수 있는 최소 폭으로 형성하는 것이 바람직하다.

<47> 도 6a를 참조하면, 상기 마스크 패턴을 식각마스크로 사용하여 상기 반도체

기판(50)을 식각하여 핀(56)을 형성하고, 상기 마스크 패턴을 제거한다. 상기 핀(56)은 활성영역에 해당하고, 상기 핀(56) 주변의 식각된 영역은 소자분리영역에 해당한다. 따라서, 소자의 기능에 따라 상기 핀(56)의 형태 및 배열을 디자인 할 수 있다. 상기 핀(56)의 높이는 반도체 기판을 50 nm 내지 1000 nm 식각함으로써 정의할 수 있다.

<48> 반도체 기판의 식각가스에 따라 핀(56)의 폭이 하부로 갈수록 점진적으로 증가되도록 형성할 수 있다. 예컨대, 염소계열의 식각 가스를 사용하여 상기 반도체 기판을 식각하는 동안 HBr을 가스를 추가로 공급하면 식각면의 측벽에 폴리머가 생성되어 식각이 억제된다. 따라서, 상기 반도체 기판(50)의 식각초기부터 HBr 가스를 공급하면 도 6b에 도시된 것과 같이 핀(56a)의 폭은 상부에서 하부로 갈수록 점진적으로 증가하게 형성할 수 있고, 식각 초기에는 염소계열의 식각 가스를 공급하다가 일정시간 이후 HBr을 추가로 공급할 경우, 도 6c에 도시된 것과 같이, 핀(56b)의 상부폭은 일정하게 유지되지만, 하부폭은 점진적으로 증가하도록 형성할 수 있다.

<49> 도 7을 참조하면, 상기 반도체 기판(50) 상에 버퍼 산화막(58), 질화막(60) 및 절연막(62)을 형성한다. 상기 버퍼 산화막(58)은 열산화막 또는 CVD산화막으로 형성할 수 있는데, CVD산화막으로 형성할 경우 증착초기는 열산화분위기에서 증착함으로써 기판의 격자결함을 치유하는 것이 바람직하다. 이 때, 상기 핀(56)의 상부 모서리는 둥글게 형성될 수 있다. 상기 버퍼 산화막(58)은 2 nm 내지 50 nm 정도로 형성하고, 상기 질화막(60)은 5 nm 내지 200 nm 정도로 콘포말하게 형성하는 것이 바람직하다. 상기 절연막(62)은 매립성이 우수한 산화막으로 형성하는 것이 바람직하고, 핀(56)의 높이에 따라 100 nm 내지 2000 nm 정도로 형성함으로써 이후 평탄화가 용이하도록 형성하는 것이 바람직하다.

- <50> 도 8을 참조하면, 화학적 기계적 연마공정을 적용하여 상기 절연막(62)을 연마하여 평탄화한다. 평탄화 공정은 상기 핀(56) 상의 상기 질화막(60)의 상부면이 노출되는 정도로 실시할 수 있다. 상기 질화막(60) 주변에는 소자분리막(62a)이 형성된다.
- <51> 도 9를 참조하면, 인산용액 또는 화학적 건식 식각(Chemical Dry Etching)을 사용하여 상기 핀(56) 상부의 상기 질화막(60)을 제거하여 상기 핀(56)의 상부면을 노출시킨다. 상기 핀(56)의 상부면이 노출된 반도체 기판(50)에 수 회의 이온주입공정을 적용하여 웰, 채널 및 격리 확산층 등을 형성할 수도 있다. 상기 이온주입공정은 상기 핀(56)을 형성한 후 실시할 수도 있다. 상기 질화막(60) 및 버퍼 산화막(58)을 리세스시켜 상기 핀(56)의 일부분을 노출시킨다. 상기 질화막(60)의 리세스 깊이에 따라 트랜지스터의 채널 폭이 정의된다. 또한, 상기 버퍼 산화막(58)을 제거하는 동안 상기 소자분리막(62a)의 표면이 식각되어 그 형태가 변형된다.
- <52> 도 10을 참조하면, 상기 핀(56)의 노출된 측벽에 게이트 절연막(64)을 형성한다. 상기 게이트 절연막(64)은 열산화막, CVD산화막, 금속산화막, 실리콘질화막 및 실리콘산화질화막 중 선택되어진 하나로 형성할 수 있다. 계속해서, 상기 기판의 전면에 도전막을 형성하고, 상기 도전막을 패터닝하여 상기 핀(56)의 상부를 가로지르는 게이트 전극(66)을 형성함으로써 도 4에 도시된 구조를 얻을 수 있다. 상기 게이트 전극은 통상적인 폴리사이드 게이트 전극 또는 금속 게이트 전극으로 형성할 수 있다. 이어서, 도시하지는 않았지만 공지된 반도체 제조공정을 적용하여 상기 게이트 전극(66) 양측의 상기 핀(56) 내에 불순물을 도우핑하여 소오스 영역 및 드레인 영역을 형성하고 배선공정을 실시할 수 있다.
- <53> 도 11 내지 도 14는 제1 실시예의 변형례를 설명하기 위한 공정단면도들이다.

- <54> 제1 실시예의 변형례는 사진식각공정에 의해 정의할 수 있는 한계치보다 작은 폭의 핀을 형성하기 위한 방법에 관한 것이다. 도 11을 참조하면, 도 6a, 6b 및 6c의 결과물에 열산화 공정을 적용하여 반도체 기판(50)의 표면에 산화막(55)을 형성한다. 그 결과, 핀(56)의 표면이 산화되어 폭이 줄어든다.
- <55> 도 12를 참조하면, 상기 산화막(55)을 제거하여 상기 반도체 기판(50)의 표면을 노출시킨다. 이후 공정은 도 7 내지 도 10을 참조하여 설명한 제1 실시예와 동일한 방법으로 공정을 진행할 수 있다.
- <56> 도 13 및 도 14는 제1 실시예의 다른 변형례를 설명하기 위한 공정단면도들이다. 이 변형례 또한 핀의 폭을 사진식각공정으로 정의할 수 있는 한계치보다 작게 형성하는 방법을 제공한다.
- <57> 도 13을 참조하면, 반도체 기판(50)을 식각하여 수직으로 돌출된 핀(56)과 상기 핀(56) 상에 패드 산화막(51) 및 산화마스크막(53)이 적층된 패턴을 형성한다. 상기 패드 핀(56) 상의 적층된 패턴은 포토레지스트 패턴을 형성하기 전에 반도체 기판 상에 패드 산화막(51) 산화 마스크막(53)을 적층함으로써 형성할 수 있다. 상기 포토레지스트 패턴을 식각마스크로 사용하여 상기 산화 마스크막(53), 상기 패드 산화막(51) 및 상기 반도체 기판(50)을 차례로 패터닝하여 상기 핀(56)을 형성할 수 있다. 상기 산화 마스크막(53)은 실리콘 질화막으로 형성하는 것이 바람직하다.
- <58> 도 14를 참조하면, 상기 반도체 기판(50)에 열산화 공정을 적용하여 상기 반도체 기판(50)의 표면에 산화막(55)을 형성하여 핀(56)의 폭을 줄인다. 계속해서, 상기 산화 마스크막(53), 상기 패드 산화막(51) 및 상기 산화막(55)을 제거하고, 도 7 내지 도 11을 참조하여 설명한 제1 실시예와 동일한 방법으로 공정을 진행한다.

- <59> 도 15a는 본 발명의 제2 실시예에 따른 수직채널 전계효과 트랜지스터를 나타낸 사시도이다.
- <60> 도 15b 및 도 15c는 제2 실시예의 변형례를 나타낸 사시도들이다.
- <61> 도 15a를 참조하면, 본 발명의 제2 실시예에 따른 트랜지스터의 구조는 상술한 제1 실시예에 따른 트랜지스터 구조와 거의 유사하다. 상술한 제1 실시예와 달리 핀(112)의 상부면 상에 마스크 절연막이 형성된다. 상기 마스크 절연막은 상기 게이트 전극(124)과 상기 핀(112) 사이에 개재된다. 상기 마스크 절연막은 도시된 것과 같이 패드 산화막(104) 및 식각저지 질화막(106)이 적층된 구조를 가질 수 있으나, 본 발명의 실시예에서 다양하게 변형될 수 있고, 이에 대해서는 이후 언급하도록 한다. 본 발명의 제2 실시예는 수직으로 돌출된 핀(112)이 형성된 반도체 기판(100)과, 상기 핀(112)의 하부측벽에 형성된 버퍼산화막(116) 및 상기 핀의 상부측벽에 형성된 게이트 산화막(122)을 포함한다. 상기 핀(112)의 하부측벽에 인접하여 질화막 라이너(118a)가 배치되고, 상기 핀(112) 주변의 기판 상에 상기 질화막 라이너(118a)에 의해 상기 핀(112)과 이격된 소자분리막(120a)이 배치된다. 상기 소자분리막(120a)의 상부면은 상기 마스크 절연막의 상부면과 유사한 레벨에 위치한다. 제1 실시예와 마찬가지로, 도시하지는 않았지만 게이트 전극(124) 양측의 핀(112) 내에 소오스 영역 및 드레인 영역이 형성되고, 상기 게이트 전극(124)으로 싸여진 핀(112) 내에 채널영역이 형성된다. 상기 게이트 전극(124)은 폴리실리콘층(124a)과, 금속실리사이드 또는 금속층으로 이루어진 저저항층(124b)이 적층된 구조를 가지는 것이 바람직하다.
- <62> 제2 실시예에 따른 수직채널 트랜지스터 또한 제1 실시예와 마찬가지로 상기 핀(112)의 상부 모서리가 둥글게 형성될 수 있고, 도 15b 및 도 15c에 도시된 것과 같이

상기 핀(112a, 112b)의 폭이 하부로 향할 수록 점진적으로 증가하거나, 상부폭은 일정하게 유지되고 하부폭은 점진적으로 증가되는 구조를 가질 수 있다.

<63> 도 16 내지 도 22는 본 발명의 제2 실시예에 따른 수직채널 전계효과 트랜지스터의 제조방법을 설명하기 위한 공정단면도들이다.

<64> 도 16을 참조하면, 반도체 기판(100) 상에 패드 산화막(104), 식각저지 질화막(106), 반사 방지막(108) 및 포토레지스트 막(110)이 차례로 적층된 마스크 패턴을 형성한다.

<65> 상기 패드 산화막은 0.5 nm 내지 5 nm 정도의 열산화막으로 형성하고, 상기 식각저지 질화막(106)은 5 nm 내지 100 nm 정도로 형성할 수 있다.

<66> 도 17을 참조하면, 상기 마스크 패턴을 식각마스크로 사용하여 상기 반도체 기판을 50 nm 내지 1000nm 정도 식각하여 핀(112)을 형성한다. 계속해서, 상기 포토레지스트막(110) 및 상기 반사방지막(108)을 제거하여 상기 핀(112) 상에 패드 산화막(104) 및 식각저지 질화막(106)이 적층된 마스크 절연막을 남긴다.

<67> 상기 반도체 기판(100)은 도 6a, 6b 및 도 6c를 참조하여 설명한 것과 같이, HBr가스를 식각가스로 사용함으로써 도 15b 및 도 15c에 도시된 것과 같은 핀의 구조를 형성할 수 있다.

<68> 도 18을 참조하면, 상기 반도체 기판(100) 상에 버퍼 산화막(116)을 형성한다. 상기 버퍼 산화막(116)은 화학기상증착법을 사용하여 형성된 CVD산화막이거나, 도 19에 도시된 것과 같이, 열산화공정에 의해 형성된 열산화막 중 어느 한가지 방법으로 형성할 수 있다. CVD산화막의 경우 도 18과 같이 기판 전면에서 콘포말하게 형성되고, 열산화막의

경우 도 19와 같이 반도체 기판 표면에 형성된다. 상기 버퍼 산화막(116)은 식각에 의한 기판의 손상을 치유한다. 이 때, 상기 핀(112)의 상부 모서리의 일부분도 열산화되어 상기 핀(112)의 상부 모서리는 둥글게 형성될 수 있다.

<69> 도 20을 참조하면, 상기 버퍼 산화막(116)이 형성된 기판의 전면에 질화막(118)을 5 내지 100nm정도로 콘포말하게 형성하고, 상기 질화막(118) 상에 절연막(120)을 형성한다. 상기 버퍼 산화막(116)은 상기 질화막(118)에 의해 기판에 가해지는 스트레스를 완화시키는 기능 또한 가진다.

<70> 도 21을 참조하면, 상기 절연막(120)을 화학적기계적 연마하여 상기 핀(112) 상부면 상의 질화막의 상부면을 노출시키고, 상기 질화막(118)을 리세스시켜 질화막 라이너(118a)를 형성한다. 상기 질화막 라이너(118a) 상의 상기 절연막은 소자분리막(120a)에 해당한다.

<71> 도 22를 참조하면, 상기 질화막 라이너(118a) 상부의 상기 버퍼 산화막(122)을 제거하여 상기 핀(112)의 상부 측벽을 노출시킨다. 상기 핀(112)의 상부측벽은 수직채널 트랜지스터의 채널 폭을 정의하기 때문에 요구되는 트랜지스터 특성에 따라 상기 질화막(118)의 리세스 정도를 조절할 수 있다. 상기 반도체 기판(100)에 열산화공정을 적용하거나, 증착 및 이방성 식각에 의해 상기 핀(112)의 상부측벽에 게이트 절연막(122)을 형성한다. 상기 게이트 절연막(122)은 실리콘산화막, 금속산화막, 실리콘산화질화막 및 실리콘질화막 중 선택되어진 하나로 형성할 수 있다.

<72> 계속해서 상기 게이트 절연막(122)이 형성된 기판의 전면에 도전막을 형성하고, 상기 도전막을 패터닝하여 상기 핀(112)의 상부를 가로지르는 게이트 전극(122)을 형성한다. 상기 도전막은 폴리실리콘 또는 폴리실리콘게르마늄과 금속실리사이드가 적층된 층

이거나, 폴리실리콘 또는 폴리실리콘게르마늄 및 금속이 적층된 층일 수 있다. 제2 실시예에서 상기 핀(112)의 상부면 상에는 마스크 절연막이 형성되어 있기 때문에 상기 도전막을 식각하는 동안 상기 핀(112)의 바람직하지 못한 식각을 방지할 수 있는 잇점을 가진다.

<73> 도 23 내지 도 28은 본 발명의 제2 실시예의 변형례를 설명하기 위한 공정단면도들이다.

<74> 도 23을 참조하면, 제2 실시예의 변형례는 반도체 기판(100) 상에 핀을 정의하기 위한 마스크 패턴을 형성한다. 제2 실시예와 달리, 상기 마스크 패턴은 패드 질화막(102), 패드 산화막(104), 식각저지질화막(106), 반사방지막(108) 및 포토레지스트막(110)이 적층되어 있다. 상기 패드 질화막은 기판에 스트레스를 가하지 않는 두께로써 예컨대, 0.5 nm 내지 5 nm 정도로 형성하는 것이 바람직하다.

<75> 도 24를 참조하면, 상기 마스크 패턴을 식각 마스크로 사용하여 상기 반도체 기판(100)을 식각하여 핀(112)을 형성한다. 상기 포토레지스트막(110) 및 상기 반사방지막(108)을 제거하여 상기 핀(112) 상에는 상기 패드 질화막(102), 상기 패드 산화막(104) 및 상기 식각저지 질화막(106)이 적층된 마스크 절연막을 잔존시킨다.

<76> 도 25를 참조하면, 상기 반도체 기판(100)에 열산화공정을 적용하여 열산화막(114)을 형성함으로써 상기 핀(112)의 폭을 줄인다. 이 때, 상기 패드 질화막(102)은 폭이 좁은 상기 핀(112)의 상부면이 산화되어 상기 핀(112)과 상기 식각저지 질화막(106) 사이의 산화막의 두께가 증가함으로써 인해 유발될 수 있는 식각저지 질화막(106)의 유실을 방지하는 기능을 한다.

- <77> 도 26을 참조하면, 상기 식각저지 질화막(106)을 축소된 핀(112)의 폭과 유사한 폭을 가지도록 등방성 식각한다.
- <78> 도 27을 참조하면, 상기 산화막(114)을 등방성 식각법으로 제거하고, 상기 패드 질화막(102) 또한 등방성 식각하여 상기 핀(112), 상기 패드 질화막(102), 상기 패드 산화막(104) 및 상기 식각저지 질화막(106)의 측벽들을 정렬시킨다.
- <79> 계속해서, 상기 반도체 기판의 전면에 콘포말한 버퍼 산화막(116)을 2 nm 내지 50 nm 두께로 형성하고, 상기 버퍼 산화막(116) 상에 콘포말한 질화막(118)을 5 nm 내지 200nm 정도 형성한다. 상기 질화막(118) 상에 절연막(120)을 100 내지 800nm정도 형성하여 상기 핀을 덮는다.
- <80> 도 28을 참조하면, 상기 절연막(120)을 화학적기계적 연마하여 상기 질화막(120)의 상부를 노출시킴과 동시에 상기 노출된 질화막의 주변에 소자분리막(120a)을 형성한다. 계속해서, 제2 실시예와 동일한 방법으로 상기 핀(112)의 상부측벽을 노출시키고, 게이트 절연막(122) 및 게이트 전극(124)을 형성한다.
- <81> 도 29 내지 도 32는 본 발명의 제2 실시예의 다른 변형례를 설명하기 위한 공정단면도들이다.
- <82> 도 29를 참조하면, 상기 반도체 기판(100) 상에 마스크 절연막(105), 반사방지막(108) 및 포토레지스트막(110)이 적층된 마스크 패턴을 형성한다. 상기 마스크 절연막(105)은 산화막 및 질화막을 수 원자층(monatomiclayer) 두께, 즉 수십 내지 수백Å 두께로 교대로 번갈아 적층하여 형성한다.

- <83> 도 30을 참조하면, 마스크 패턴을 식각 마스크로 사용하여 상기 반도체 기판(100)을 식각하여 핀(112)을 형성한다. 상기 포토레지스트 막(110) 및 상기 반사방지막(108)을 제거하여 상기 핀(112) 상에 마스크 절연막(105)을 잔존시킨다.
- <84> 도 31을 참조하면, 상기 반도체 기판(100) 상에 버퍼 산화막(116)을 형성한다. 상기 버퍼 산화막(116)은 열산화공정 또는 화학기상증착공정으로 형성할 수 있다.
- <85> 도 32를 참조하면, 제2 실시예와 마찬가지로, 질화막 라이너(118a), 소자분리막(120a), 게이트 절연막(112) 및 게이트 전극(124)을 형성한다. 상기 마스크 절연막(105)을 산화막 및 질화막이 얇게 적층되기 때문에 측면의 노출면적이 작다. 따라서, 상기 질화막 라이너(118a) 형성을 위한 질화막 등방성 식각과, 상기 핀(112)의 상부측벽을 노출시키기 위한 상기 버퍼 산화막(116) 등방성 식각 과정에서 질화막 및 산화막이 유실되는 것을 상보적으로 방지하는 효과가 크다.
- <86> 도 33은 본 발명의 제3 실시예에 따른 수직채널 전계효과 트랜지스터를 나타낸 사시도이다. 본 발명의 제3 실시예는 높은 전류 구동 능력을 가지는 트랜지스터를 나타낸다.
- <87> 도 33을 참조하면, 제3 실시예에 따른 트랜지스터는 상술한 제1 및 제2 실시예에 따른 트랜지스터를 병렬로 복수개를 연결한 구조로 볼 수 있다. 도시된 것과 같이, 제3 실시예는 반도체 기판(200)이 수직으로 돌출된 복수개의 핀들(112)을 포함한다. 상기 핀들(112)은 횡방향으로 이격되어 서로 평행하게 배치되고, 게이트 전극(124)이 상기 핀들(112)의 상부를 가로질러 배치된다. 제1 및 제2 실시예에 따른 트랜지스터는 단일 핀을 가지기 때문에 채널의 폭이 제한될 수 밖에 없으나, 제3 실시예의 트랜지스터는 복수개의 핀들(112)을 가지기 때문에 핀의 수만큼 전류량을 높일 수 있다.

<88> 제3 실시예의 트랜지스터는 게이트 전극(124)의 양측에 넓은 평판영역(212)을 포함한다. 평판영역들(212)은 각각 모든 핀들(112)과 연결된다. 즉, 이 트랜지스터는 한쌍의 평판영역(212) 및 상기 평판영역(212)을 서로 연결하는 복수개의 핀들(112)로 구성된 필라(220)를 포함한다. 상기 필라(220)의 하부측벽에 버퍼 산화막(216)이 형성되고, 상기 필라(220)의 하부측벽에 인접하여 상기 버퍼산화막(216)에 의해 상기 필라(220)와 이격된 질화막 라이너(118a)가 형성된다. 상기 핀들(112) 사이의 간격이 충분히 넓은 경우, 상기 질화막 라이너(118a)는 상기 핀들(112) 사이 영역의 저면에 콘포말하게 형성될 수 있으나, 간격이 좁을 경우, 도시된 것과 같이 상기 핀들(112) 사이 영역의 저면에 채워진 구조를 가진다. 상기 필라(220)의 주변에 상기 질화막 라이너(118a)에 의해 상기 필라(220)로부터 이격된 소자분리막(120a)이 형성되어 있다. 상기 필라(220)의 상부측벽에는 상기 버퍼 산화막(216)과 연결된 게이트 절연막(122)이 형성되고, 상기 필라(220)의 상부, 엄밀히 말하면 상기 핀들(112)의 상부를 가로질러 게이트 전극(124)이 배치된다. 도시하지는 않았지만, 이 트랜지스터는 상기 게이트 전극(124) 양측의 필라(220), 즉 상기 게이트 전극(124) 양측의 핀들(112) 및 평판영역(212) 내에 형성된 소오스 영역 및 드레인 영역과, 상기 게이트 전극(124) 하부의 필라(220) 내에 형성된 채널 영역을 더 포함한다.

<89> 상기 핀들(112)의 상부 모서리는 제1 및 제2 실시예와 마찬가지로 둥글게 형성될 수 있다. 또한, 도시하지는 않았지만, 상기 핀들(112)은 하부로 갈수록 그 폭이 점진적으로 증가하거나, 상부폭은 일정하게 유지되고, 하부폭은 점진적으로 증가하는 구조를 가질 수 있다.

<90> 상기 필라(220)의 상부면 상에 제2 실시예와 마찬가지로 마스크 절연막을 더 포함할 수 있다. 제3 실시예에 따른 트랜지스터의 형성방법은 상기 제1 및 제2 실시예 및 그들의 변형례에 따라 형성할 수 있다.

【발명의 효과】

<91> 상술한 것과 같이, 본 발명은 벌크 반도체 기판을 식각하여 핀을 형성하고, 상기 핀의 상부측면 또는, 상부측면 및 상부면을 트랜지스터의 채널로 이용함으로써 SOI기판에 형성된 수직채널 트랜지스터에 비해 열전도성이 우수하고, 플로팅 바디 효과의 영향을 최소화 할 수 있다. 또한, 소자분리막에 의해 핀 이외의 부분에 확산층이 형성되는 것이 방지되어 핀에 인접한 기판의 수평부분에 기생 트랜지스터가 형성되는 것을 막을 수 있다. 더 나아가서, 벌크 웨이퍼를 사용함으로써 SOI 기판을 사용하는 경우보다 제조 단가를 낮출 수 있고, 기판의 결함밀도 또한 낮출 수 있다.

<92> 또한, 다수의 핀을 병렬로 배치하고, 핀들 사이에 기생 트랜지스터가 형성되지 않는 구조를 얻을 수 있기 때문에 완전공핍 또는 완전반전형의 전류 구동 능력이 우수한 트랜지스터를 형성할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판이 수직으로 돌출된 핀(fin);

상기 핀의 하부측벽에 형성된 질화막 라이너;

상기 핀의 하부측벽 및 상기 질화막 라이너 사이에 개재된 버퍼 산화막;

상기 버퍼 산화막과 연결되어 상기 핀의 상부 측벽에 형성된 게이트 절연막;

상기 질화막 라이너에 의해 상기 핀과 소정간격 이격되어 형성된 소자 분리막; 및

상기 핀의 상부를 가로질러 배치된 게이트 전극을 포함하는 트랜지스터.

【청구항 2】

제1 항에 있어서,

상기 핀의 상부 모서리는 둥글게 형성된 것을 특징으로 하는 트랜지스터.

【청구항 3】

제1 항에 있어서,

상기 핀의 폭은 상부에서 하부로 갈 수록 점진적으로 넓어지는 것을 특징으로 하는 트랜지스터.

【청구항 4】

제1 항에 있어서,

상기 게이트 절연막이 형성된 상기 핀의 상부 폭은 일정하게 유지되고, 상기 버퍼 산화막이 형성된 상기 핀의 하부 폭은 하부로 갈 수록 점진적으로 넓어지는 것을 특징으로 하는 트랜지스터.

【청구항 5】

제1 항에 있어서,

상기 게이트 절연막은,

상기 핀의 상부 측벽 및 상부면에 콘포말하게 형성된 것을 특징으로 하는 트랜지스터.

【청구항 6】

제1 항에 있어서,

상기 핀의 상부면 상에 패드 산화막 및 식각마스크막이 차례로 적층된 마스크 절연막을 더 포함하되,

상기 게이트 전극은 상기 마스크 절연막의 상부를 가로지르는 것을 특징으로 하는 트랜지스터.

【청구항 7】

제6 항에 있어서,

상기 마스크 절연막은 패드산화막과 상기 핀의 상부면 사이에 개재된 패드절화막을 더 포함하는 것을 특징으로 하는 트랜지스터.

【청구항 8】

제1 항에 있어서,

상기 핀의 상부면 상에 산화막 및 질화막이 번갈아 적층되어 형성된 마스크 절연막을 더 포함하되,

상기 게이트 전극은 상기 마스크 절연막의 상부를 가로지르는 것을 특징으로 하는 트랜지스터.

【청구항 9】

제1 항에 있어서,

상기 게이트 전극 양측의 상기 핀 내에 형성된 소오스/드레인 영역들; 및

상기 게이트 전극 하부의 상기 핀 내에 형성된 채널영역을 더 포함하는 것을 특징으로 하는 트랜지스터.

【청구항 10】

반도체 기판이 수직으로 돌출되어 서로 이격된 한쌍의 평판영역과 상기 평판영역을 연결하는 복수개의 평행한 핀들 포함하는 필라;

상기 필라의 하부측벽에 형성된 질화막 라이너;

상기 필라의 하부측벽 및 상기 질화막 라이너 사이에 개재된 버퍼 산화막;

상기 버퍼 산화막과 연결되어 상기 필라의 상부 측벽에 형성된 게이트 절연막;

상기 필라 외벽의 상기 질화막 라이너에 의해 상기 필라와 소정간격 이격된 소자 분리막; 및

상기 핀들의 상부를 가로질러 배치된 게이트 전극을 포함하는 트랜지스터.

【청구항 11】

제10 항에 있어서,

상기 핀의 상부 모서리는 둥글게 형성된 것을 특징으로 하는 트랜지스터.

【청구항 12】

제10 항에 있어서,

상기 핀의 폭은 상부에서 하부로 갈 수록 점진적으로 넓어지는 것을 특징으로 하는 트랜지스터.

【청구항 13】

제10 항에 있어서,

상기 게이트 절연막이 형성된 상기 핀의 상부 폭은 일정하게 유지되고, 상기 버퍼 산화막이 형성된 상기 핀의 하부 폭은 하부로 갈 수록 점진적으로 넓어지는 것을 특징으로 하는 트랜지스터.

【청구항 14】

제10 항에 있어서,

상기 게이트 절연막은,

상기 필라의 상부 측벽 및 상부면에 콘포말하게 형성된 것을 특징으로 하는 트랜지스터.

【청구항 15】

제10 항에 있어서,

상기 필라의 상부면 상에 패드 산화막 및 식각마스크막이 적층된 마스크 절연막을 더 포함하되,

상기 게이트 전극은 상기 마스크 절연막의 상부를 가로지르는 것을 특징으로 하는 트랜지스터.

【청구항 16】

제15 항에 있어서,

상기 마스크 절연막은 상기 패드산화막과 상기 필라의 상부면 사이에 개재된 패드 질화막을 더 포함하는 것을 특징으로 하는 트랜지스터.

【청구항 17】

제10 항에 있어서,

상기 필라의 상부면 상에 산화막 및 질화막이 번갈아 적층되어 형성된 마스크 절연막을 더 포함하되,

상기 게이트 전극은 상기 마스크 절연막의 상부를 가로지르는 것을 특징으로 하는 트랜지스터.

【청구항 18】

제10 항에 있어서,

상기 게이트 전극 양측의 상기 필라 내에 각각 형성된 소오스 영역 및 드레인 영역; 및

상기 게이트 전극 하부의 상기 핀들 내에 형성된 채널영역들을 더 포함하는 것을 특징으로 하는 트랜지스터.

【청구항 19】

반도체 기판을 식각하여 핀을 형성하는 단계;

상기 반도체 기판 상에 버퍼산화막 및 질화막을 콘포말하게 형성하는 단계;

상기 질화막이 형성된 반도체 기판 상에 상기 핀의 높이보다 두꺼운 절연막을 형성하는 단계;

상기 절연막을 화학적기계적연마하여 상기 질화막을 노출시킴과 동시에 상기 질화막의 주변을 둘러싸는 소자분리막을 형성하는 단계;

상기 질화막 및 상기 버퍼산화막을 차례로 리세스시켜 상기 핀의 상부를 노출시키고 상기 핀의 하부측벽에 인접한 질화막 라이너를 형성하는 단계;

상기 핀의 노출된 부분에 게이트 산화막을 형성하는 단계; 및

상기 핀의 상부를 가로지르는 게이트 전극을 형성하는 단계를 포함하는 트랜지스터의 제조방법.

【청구항 20】

제19 항에 있어서,

상기 핀을 형성하는 단계는,

반도체 기판을 식각하여 핀을 형성하는 단계;

상기 반도체 기판을 열산화하여 열산화막을 형성함과 동시에 핀의 폭을 줄이는 단계; 및

상기 열산화막을 제거하는 단계를 포함하는 트랜지스터의 제조방법.

【청구항 21】

제19 항에 있어서,

상기 핀을 형성하는 단계는,

반도체 기판 상에 패드 산화막, 산화 마스크막 및 포토레지스트 패턴을 형성하는 단계;

상기 산화 마스크막, 상기 패드 산화막 및 상기 반도체 기판을 패터닝하여, 핀을 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 반도체 기판을 열산화하여 열산화막을 형성함과 동시에 핀의 폭을 줄이는 단계; 및

상기 마스크 절연막, 상기 패드 산화막 및 상기 열산화막을 제거하는 단계를 포함하는 트랜지스터의 제조방법.

【청구항 22】

반도체 기판 상에 마스크 절연막을 형성하는 단계;

상기 마스크 절연막 및 상기 반도체 기판을 패터닝하여, 상기 반도체 기판이 수직으로 돌출된 핀을 형성하는 단계;

상기 반도체 기판 상에 버퍼산화막 및 질화막을 콘포말하게 형성하는 단계;

상기 질화막이 형성된 반도체 기판 상에 상기 핀의 높이보다 두꺼운 절연막을 형성하는 단계;

상기 절연막을 화학적기계적연마하여 상기 핀 상부의 상기 질화막의 상부면을 노출 시킴과 동시에 상기 노출된 질화막의 주변을 둘러싸는 소자분리막을 형성하는 단계;

상기 질화막 및 상기 버퍼 산화막을 차례로 리세스시켜 상기 핀의 상부측벽을 노출시킴과 동시에 상기 핀의 하부측벽에 인접한 질화막 라이너를 형성하는 단계;

상기 핀의 노출된 상부측벽에 게이트 산화막을 형성하는 단계; 및
상기 핀의 상부를 가로지르는 게이트 전극을 형성하는 단계를 포함하는 트랜지스터의 제조방법.

【청구항 23】

제22 항에 있어서,

상기 마스크 절연막은 패드산화막 및 식각저지 질화막을 적층하여 형성하는 것을 특징으로 하는 트랜지스터의 제조방법.

【청구항 24】

제23 항에 있어서,

상기 핀을 형성하는 단계 이후,

상기 반도체 기판에 열산화 공정을 적용하여 상기 핀의 측벽에 열산화막을 형성함과 동시에 상기 핀의 폭을 줄이는 단계;

상기 식각저지 질화막을 등방성 식각하여 폭을 줄이는 단계; 및

상기 열산화막을 제거하는 단계를 포함하는 트랜지스터의 제조방법.

【청구항 25】

제22 항에 있어서,

상기 마스크 절연막은 산화막 및 질화막을 교대로 번갈아 적층하여 형성하는 것을 특징으로 하는 트랜지스터의 제조방법.

【청구항 26】

제22 항에 있어서,

상기 마스크 절연막은 패드 질화막, 패드 산화막 및 식각저지 질화막을 차례로 적층하여 형성하는 것을 특징으로 하는 트랜지스터의 제조방법.

【청구항 27】

제26 항에 있어서,

상기 반도체 기판에 열산화 공정을 적용하여 상기 핀의 측벽에 열산화막을 형성함과 동시에 상기 핀의 폭을 줄이는 단계;

상기 식각저지 질화막을 등방성 식각하여 폭을 줄이는 단계;

상기 열산화막을 제거하는 단계;및

상기 패드 질화막을 등방성 식각하여 폭을 줄이는 단계를 더 포함하는 트랜지스터의 제조방법.

【청구항 28】

반도체 기판을 식각하여 한쌍의 평판부 및 상기 평판부들을 연결하는 복수개의 평행한 핀들을 포함하는 필라를 형성하는 단계;

상기 필라가 형성된 반도체 기판 상에 버퍼산화막 및 질화막을 콘포말하게 형성하는 단계;

상기 반도체 기판 상에 상기 필라의 높이보다 두꺼운 절연막을 형성하는 단계;

상기 절연막을 화학적기계적연마하여 상기 질화막을 노출시킴과 동시에 상기 필라 주위를 둘러싸는 소자분리막을 형성하는 단계;

상기 질화막 및 상기 버퍼산화막을 차례로 리세스시켜 상기 필라의 상부를 노출시키는 단계;

상기 필라의 노출된 부분에 게이트 산화막을 형성하는 단계; 및

상기 핀들의 상부를 가로지르는 게이트 전극을 형성하는 단계를 포함하는 트랜지스터의 제조방법.

【청구항 29】

제28 항에 있어서,

상기 필라를 형성하는 단계는,

상기 반도체 기판을 패터닝하여 평판부 및 핀들을 포함하는 필라를 형성하는 단계;

상기 반도체 기판에 열산화공정을 적용하여 열산화막을 형성함과 동시에 상기 핀들의 폭을 줄이는 단계; 및

상기 열산화막을 제거하는 단계를 포함하는 트랜지스터의 제조방법.

【청구항 30】

제28 항에 있어서,

상기 필라를 형성하는 단계는,

상기 반도체 기판 상에 마스크 절연막을 적층하는 단계;

상기 마스크 산화막 및 상기 반도체 기판을 차례로 패터닝하여 반도체 기판이 수직으로 돌출되고 평판부 및 핀들을 포함하는 필라를 형성하는 단계를 더 포함하되,

상기 마스크 절연막은 상기 게이트 전극을 형성하는 단계에서 상기 필라의 식각저지막으로 사용하는 것을 특징으로 하는 트랜지스터의 제조방법.

【청구항 31】

제30 항에 있어서,

상기 마스크 절연막은 패드 산화막 및 식각저지 질화막을 차례로 적층하여 형성하는 것을 특징으로 하는 트랜지스터의 제조방법.

【청구항 32】

제30 항에 있어서,

상기 마스크 절연막은 산화막 및 질화막을 교대로 번갈아 적층하여 형성하는 것을 특징으로 하는 트랜지스터의 제조방법.

【청구항 33】

제30 항에 있어서,

상기 마스크 절연막은 패드 질화막, 패드 산화막 및 식각저지 질화막을 차례로 적층하여 형성하는 것을 특징으로 하는 트랜지스터의 제조방법.

【청구항 34】

제30 항에 있어서,

상기 필라를 형성한 이후,

상기 반도체 기판에 열산화공정을 적용하여 열산화막을 형성함과 동시에 상기 핀들의 폭을 줄이는 단계;

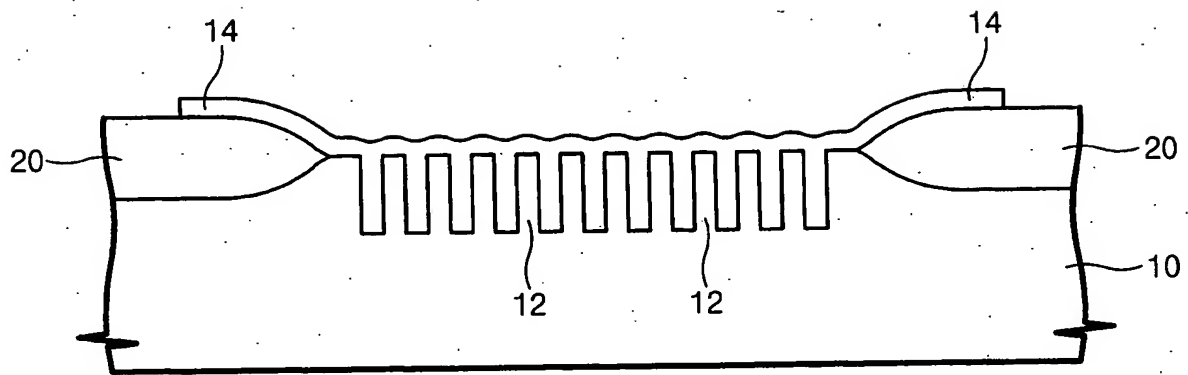
상기 마스크 절연막을 등방성 식각하여 상기 마스크 절연막의 폭을 줄이는 단계;
및

상기 열산화막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 트랜지스터의 제조방법.

【도면】

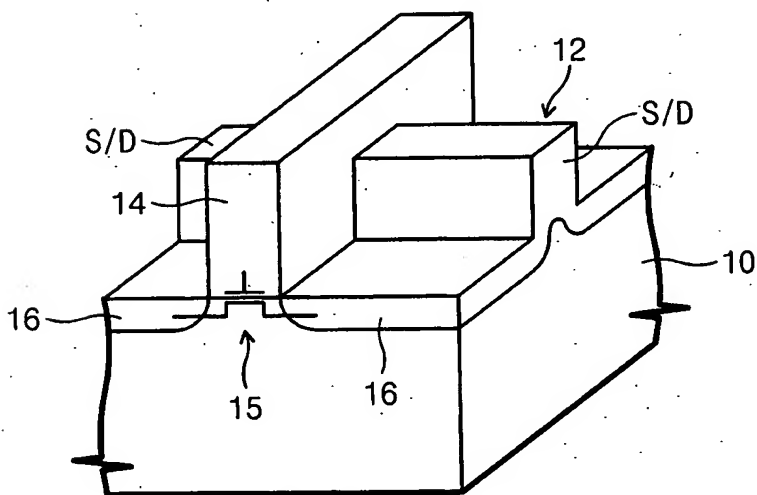
【도 1】

(종래 기술)



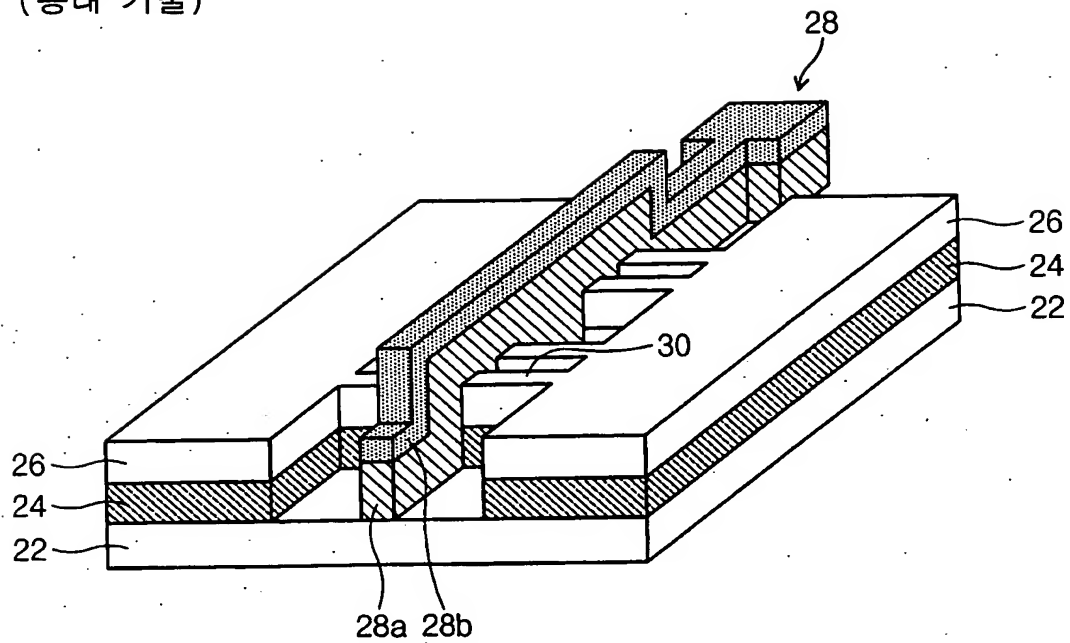
【도 2】

(종래 기술)

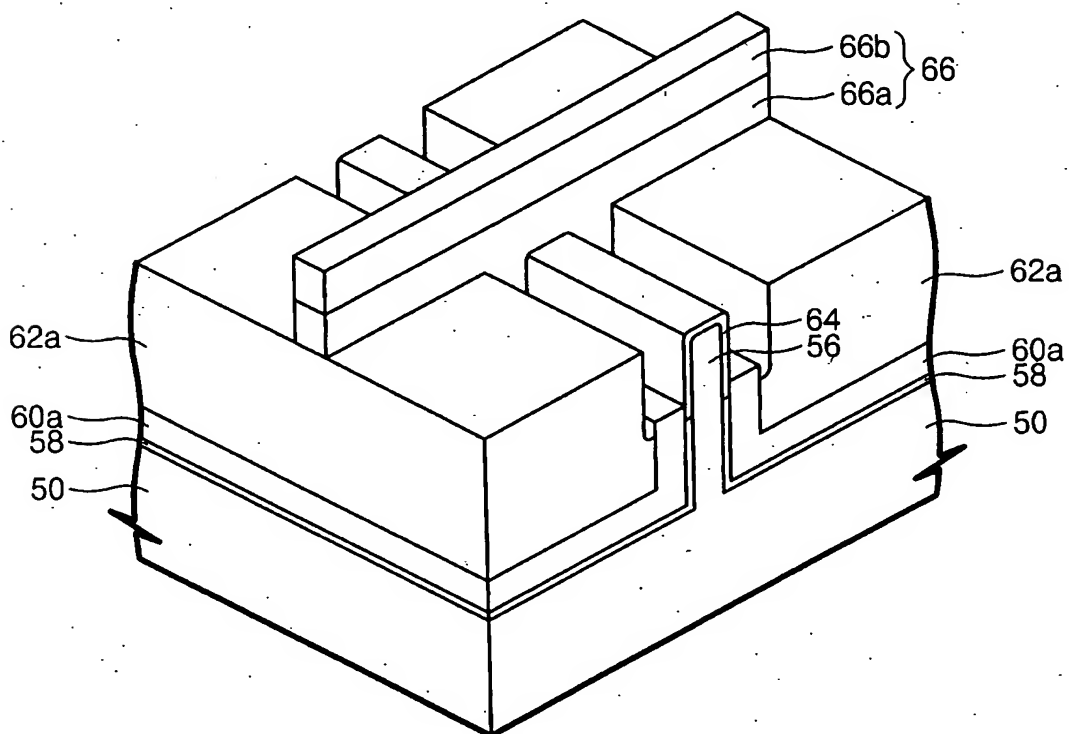


【도 3】

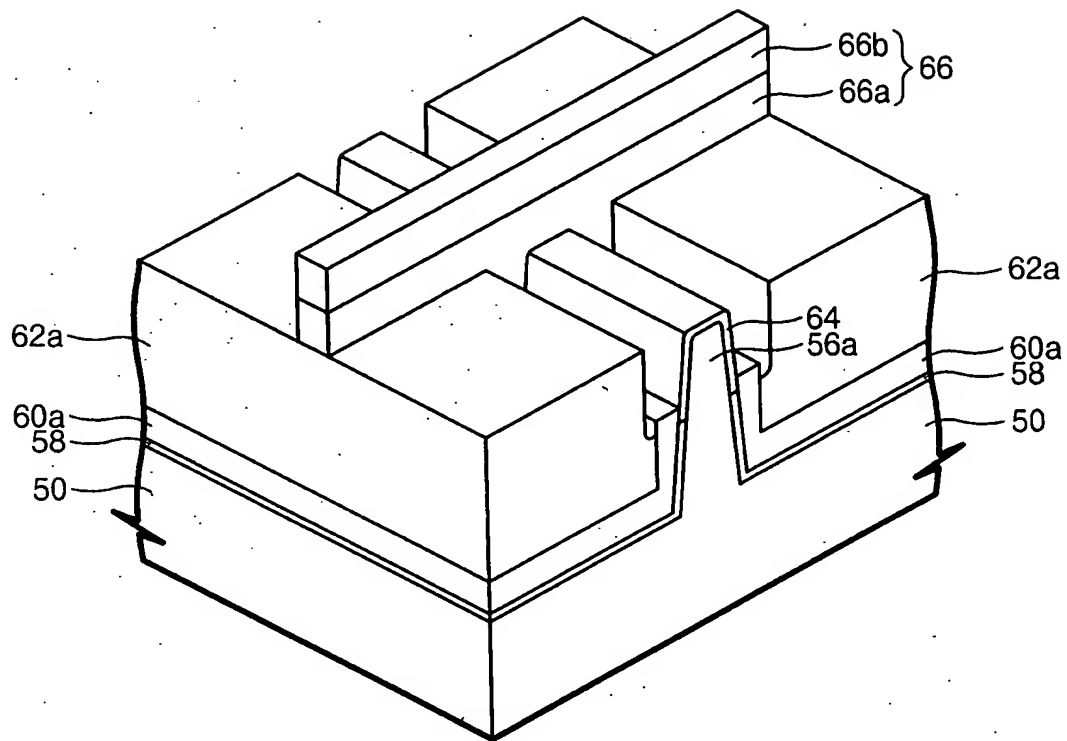
(종래 기술)



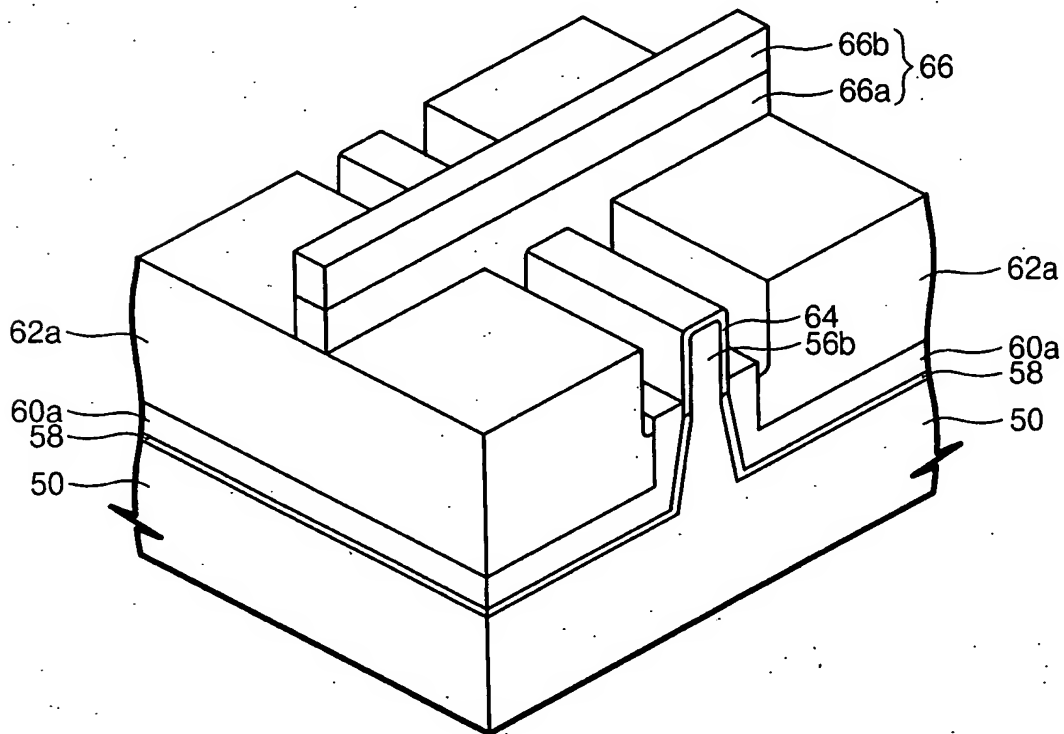
【도 4a】



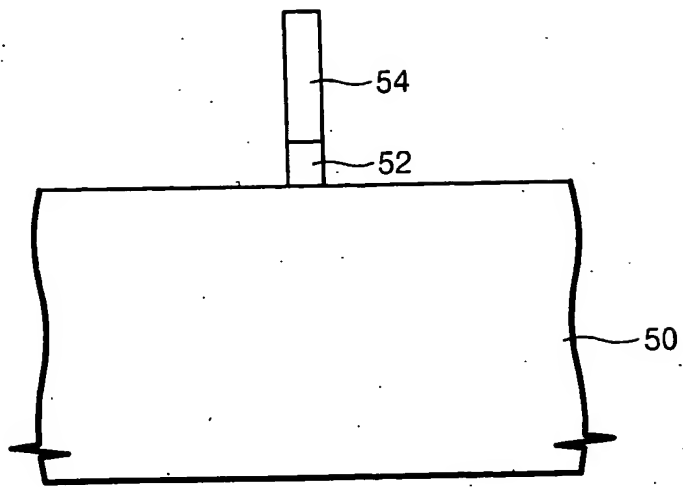
【도 4b】



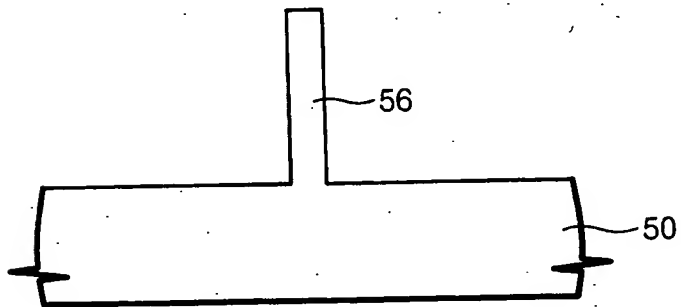
【도 4c】



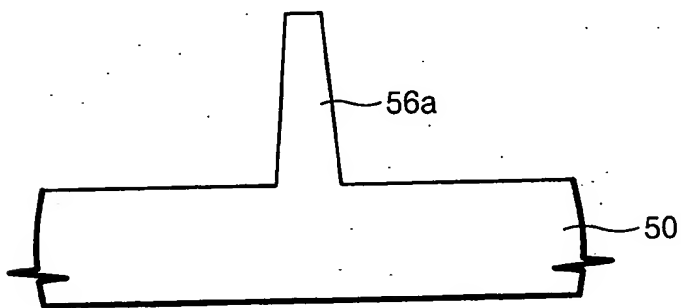
【도 5】



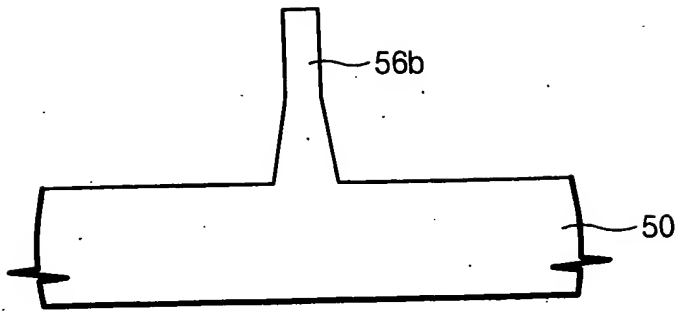
【도 6a】



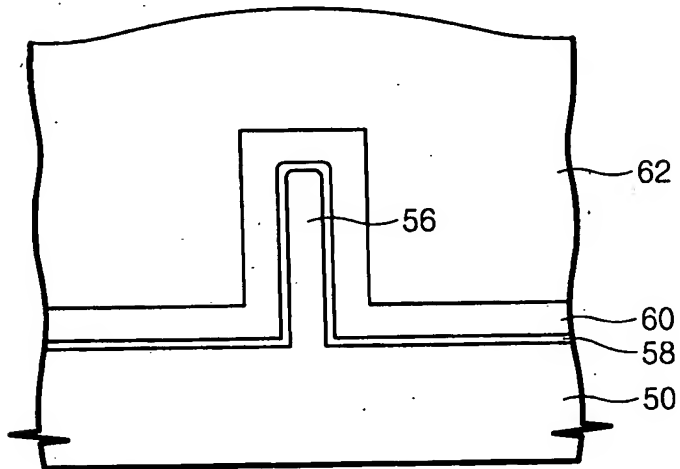
【도 6b】



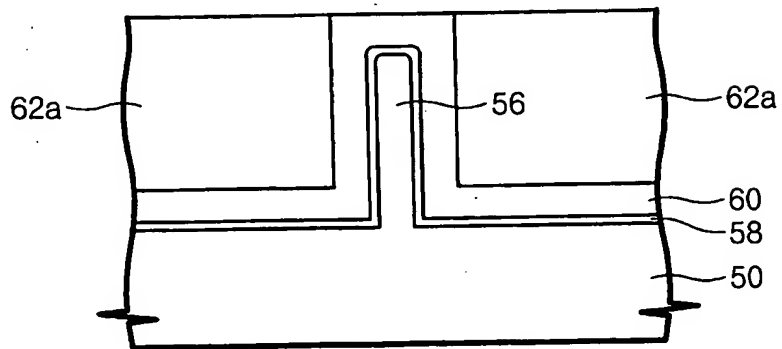
【도 6c】



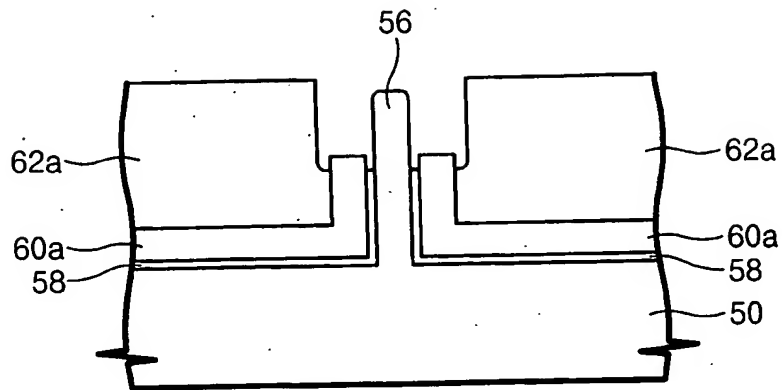
【도 7】



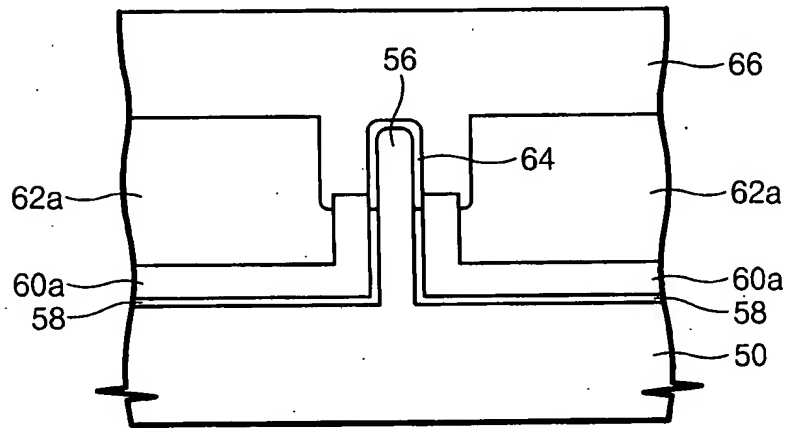
【도 8】



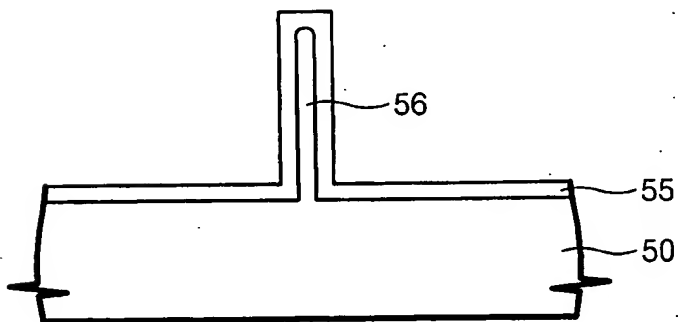
【도 9】



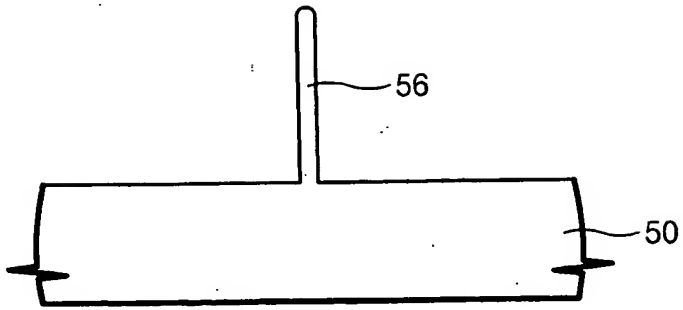
【도 10】



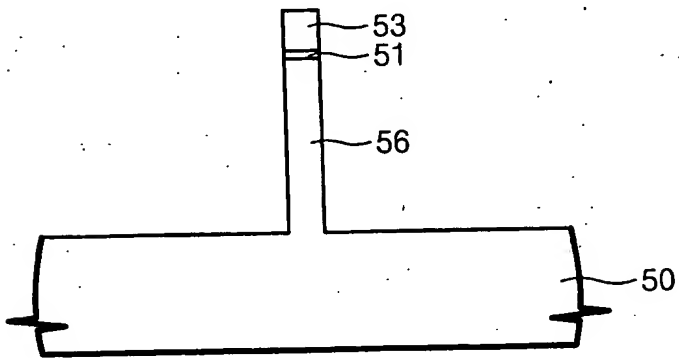
【도 11】



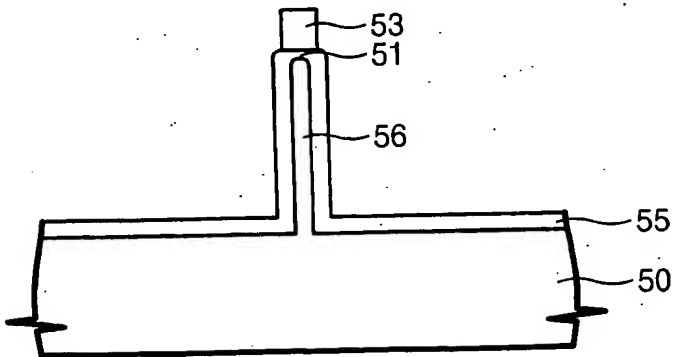
【도 12】



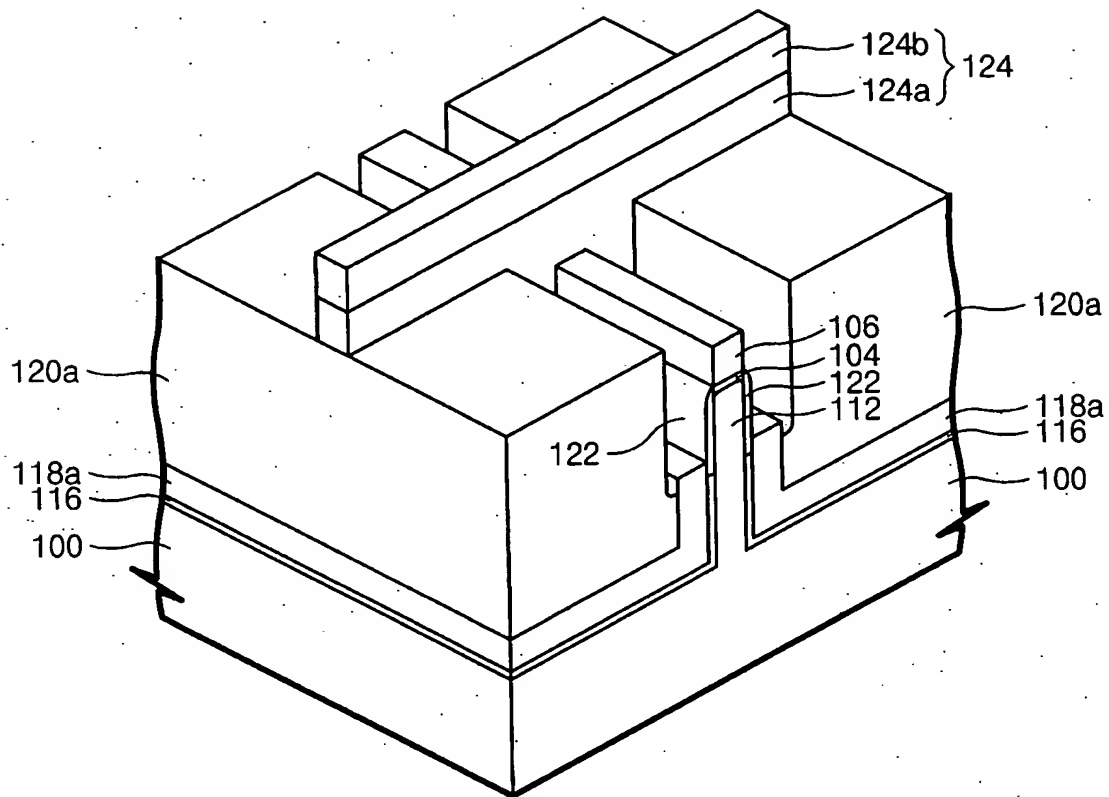
【도 13】



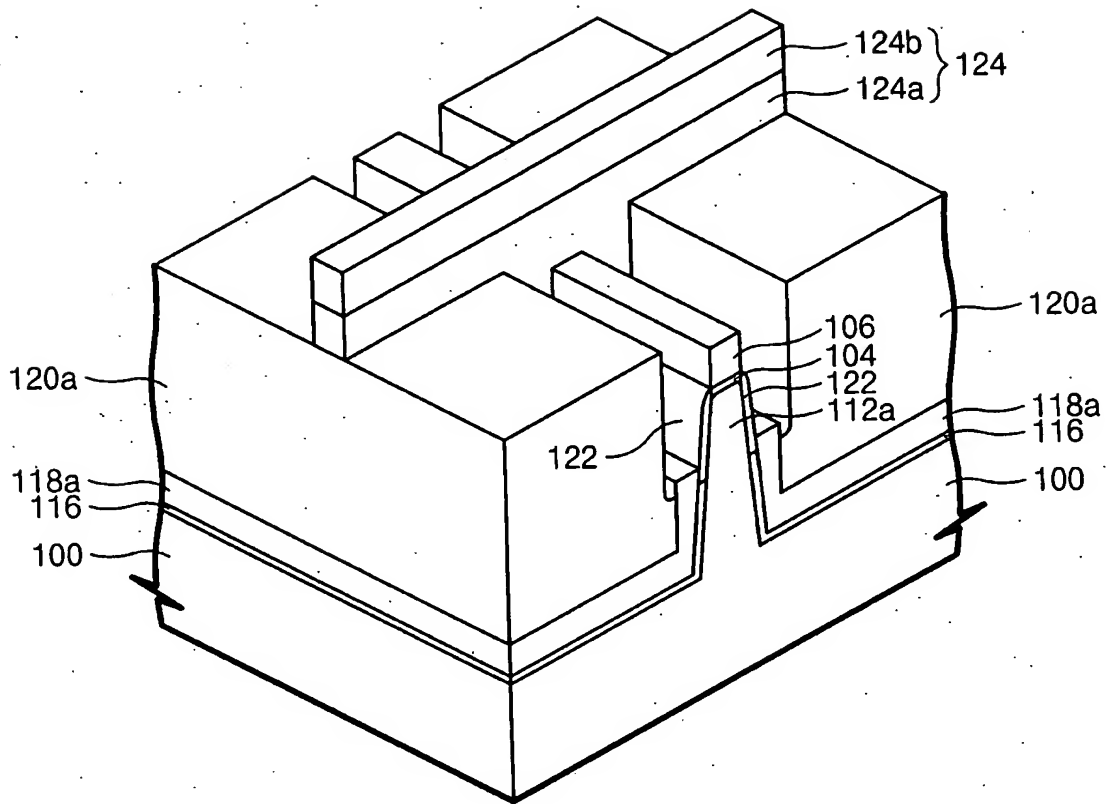
【도 14】



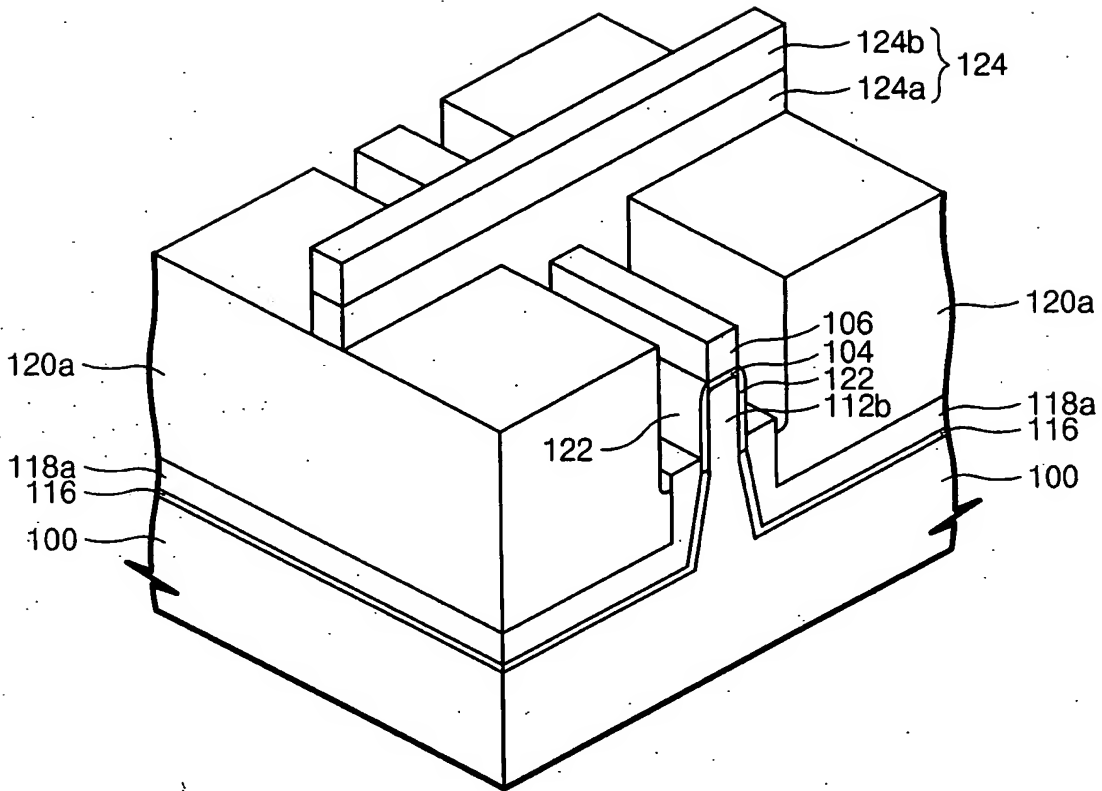
【도 15a】



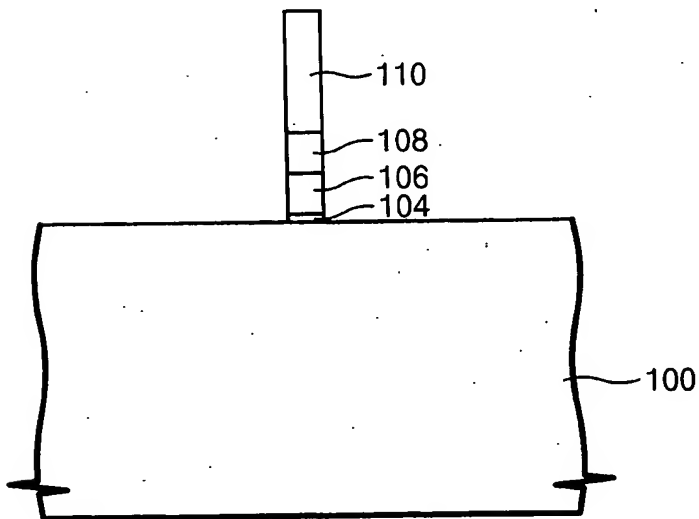
【도 15b】



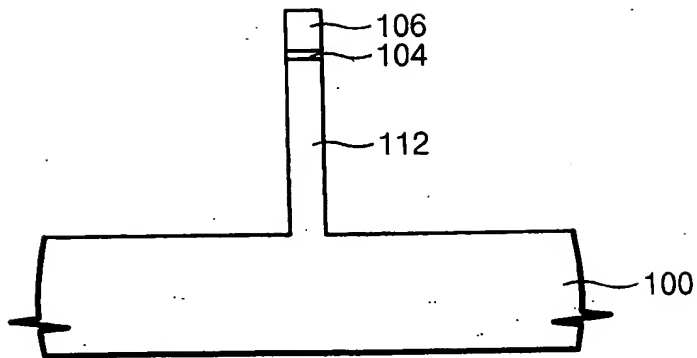
【도 15c】



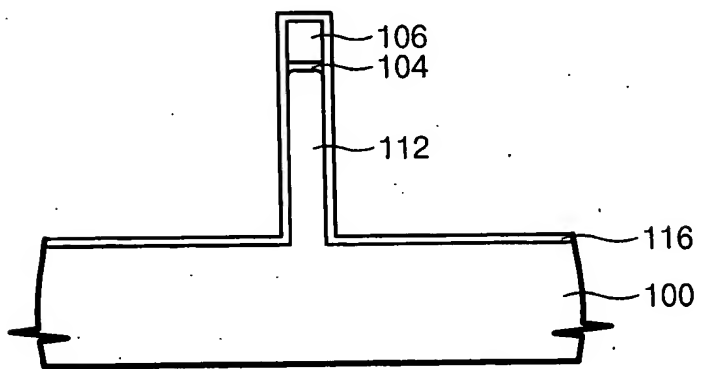
【도 16】



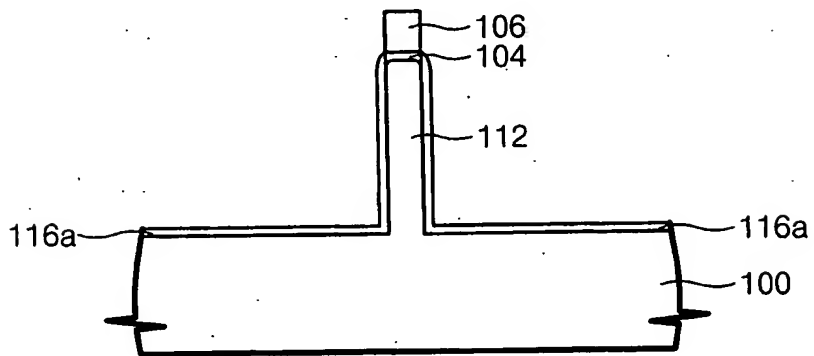
【도 17】



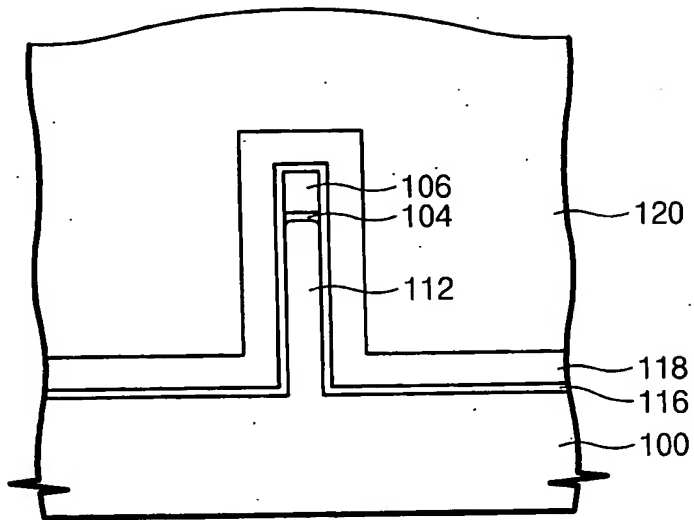
【도 18】



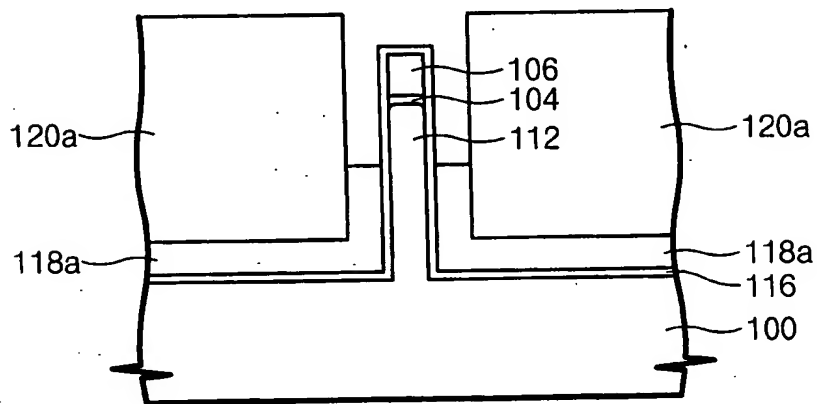
【도 19】



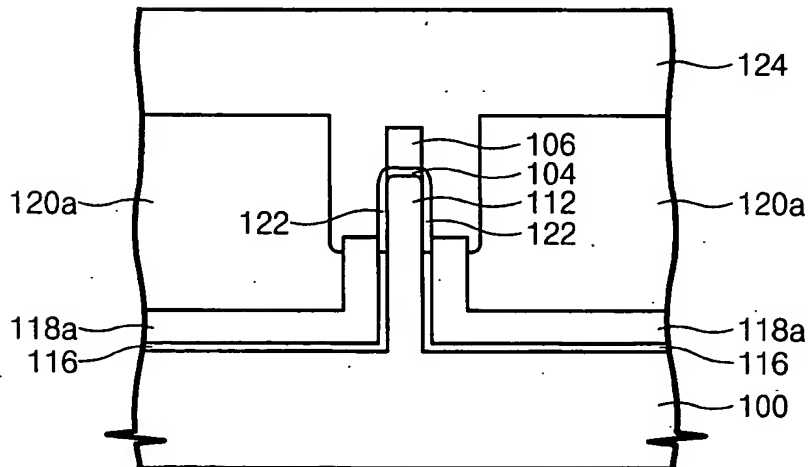
【도 20】



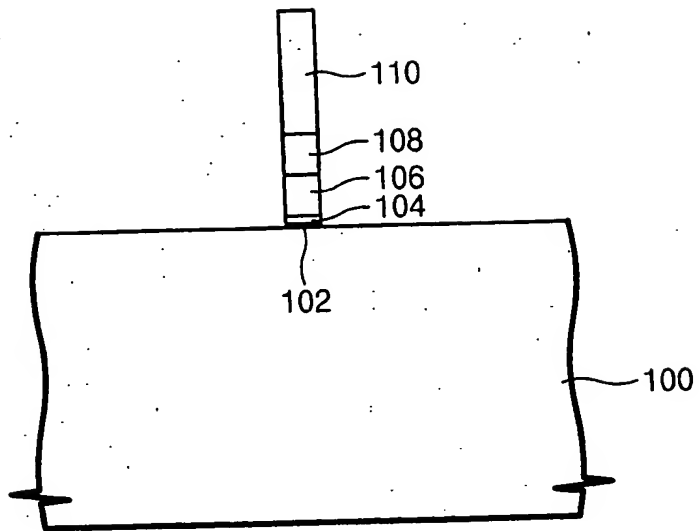
【도 21】



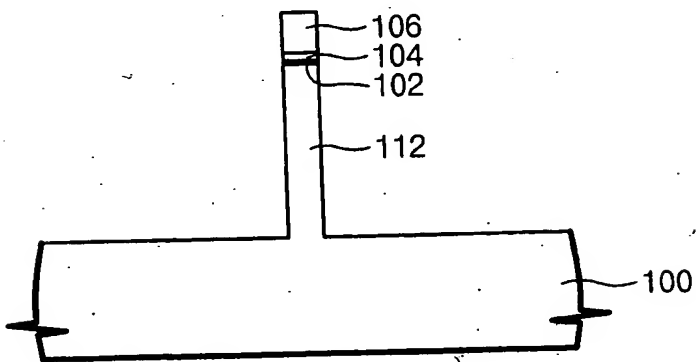
【도 22】



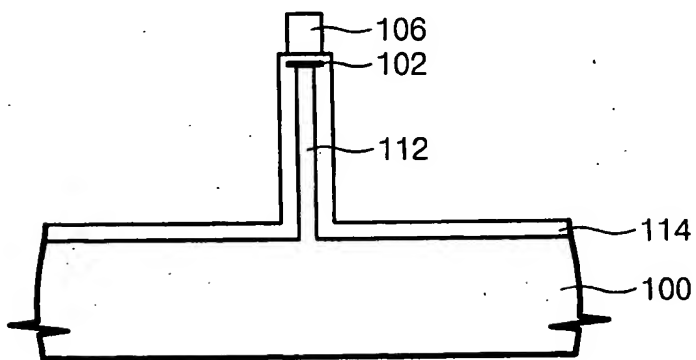
【도 23】



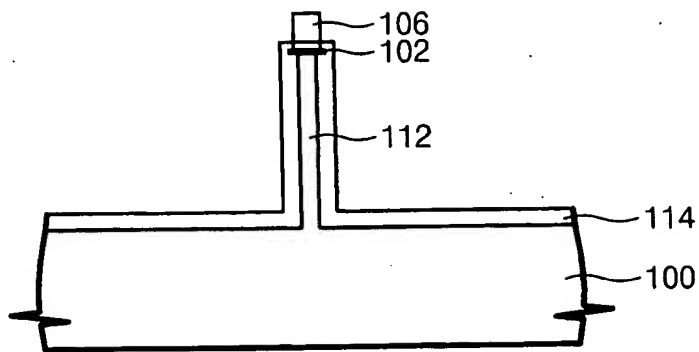
【도 24】



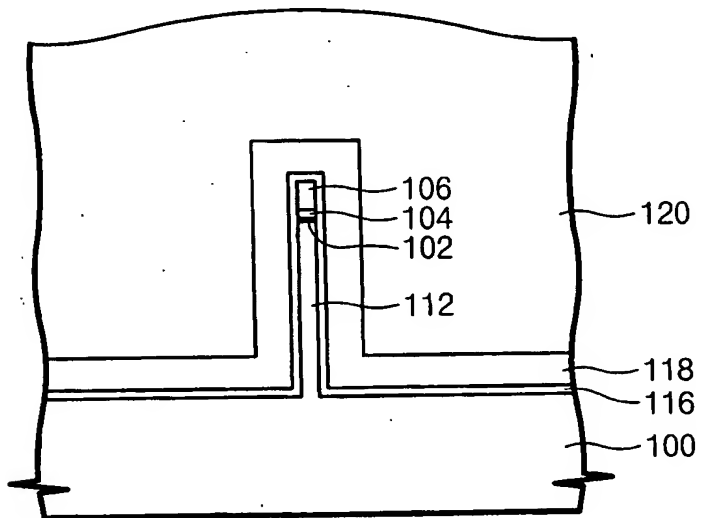
【도 25】



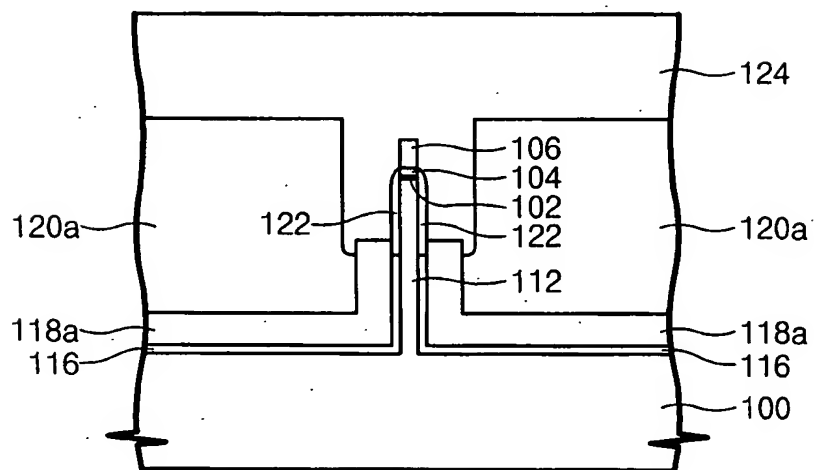
【도 26】



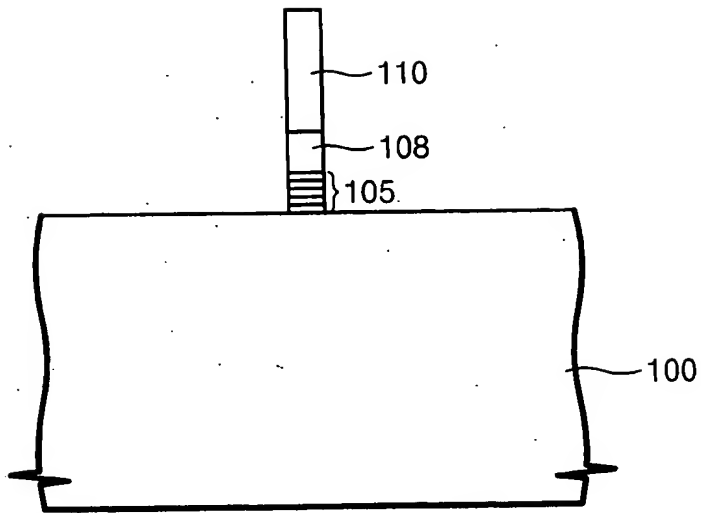
【도 27】



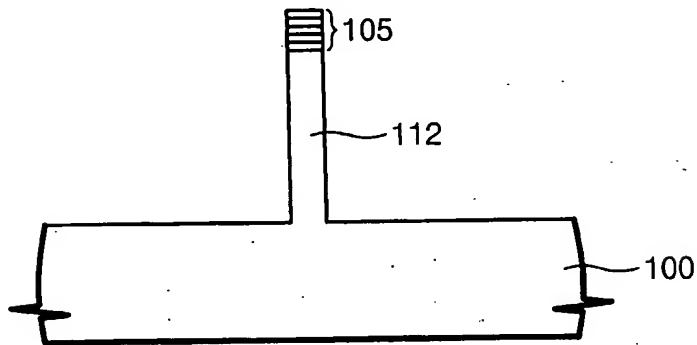
【도 28】



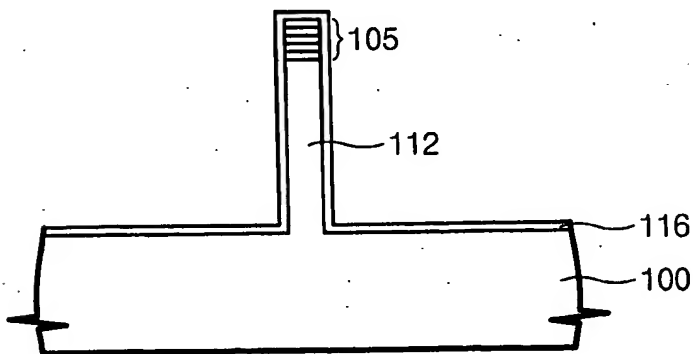
【도 29】



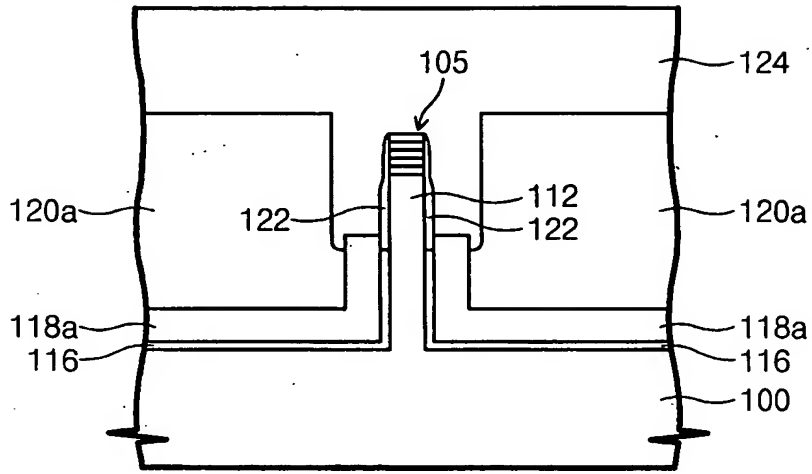
【도 30】



【도 31】



【도 32】



【도 33】

